

(43) 国際公開日
2006年5月26日 (26.05.2006)

PCT

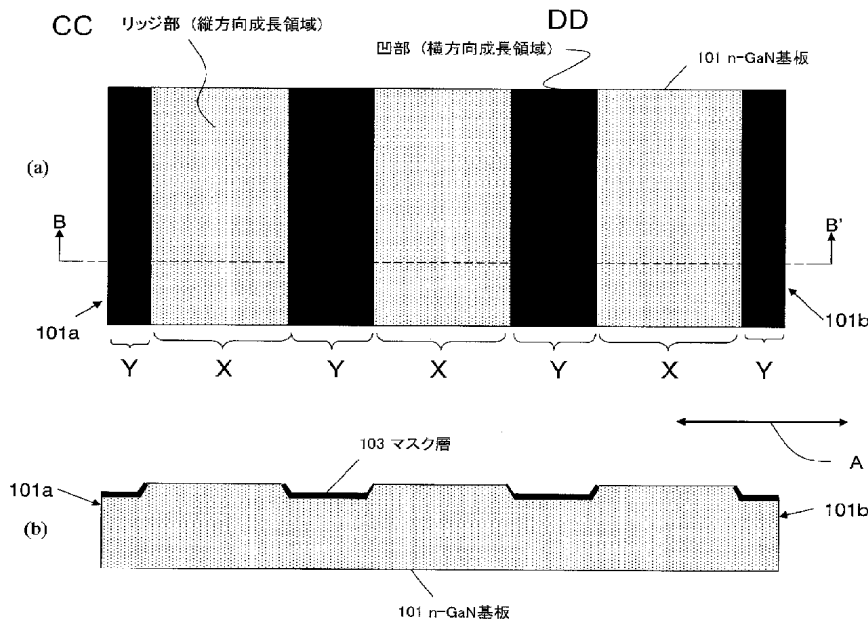
(10) 国際公開番号
WO 2006/054543 A1

- (51) 国際特許分類:
H01S 5/343 (2006.01) H01S 5/22 (2006.01)
H01L 21/205 (2006.01)
- (21) 国際出願番号: PCT/JP2005/020927
- (22) 国際出願日: 2005年11月15日 (15.11.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-337218
2004年11月22日 (22.11.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 嶋本 敏孝 (SHIMAMOTO, Toshitaka). 川口 靖利 (KAWAGUCHI, Yasutoshi). 長谷川 義晃 (HASEGAWA, Yoshiaki). 石橋 明彦 (ISHIBASHI, Akihiko). 木戸 口 勲 (KIDOGUCHI, Isao). 横川 俊哉 (YOKOGAWA, Toshiya).
- (74) 代理人: 奥田 誠司 (OKUDA, Seiji); 〒5410041 大阪府大阪府中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW,

[続葉有]

(54) Title: NITRIDE COMPOUND SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 窒素化合物系半導体装置およびその製造方法



- 101 n-GaN SUBSTRATE
103 MASK LAYER
CC RIDGE PORTION (LONGITUDINAL GROWTH REGION)
DD RECESSED PORTION (LATERAL GROWTH REGION)

(57) Abstract: A nitride compound semiconductor device comprising conductive substrate structure (101) and, supported thereby, a semiconductor laminate structure. The major plane of the substrate structure (101) has not only at least one longitudinal growth region functioning as a seed crystal for longitudinal growth of nitride compound semiconductor but also multiple lateral growth regions realizing lateral growth of the nitride compound semiconductor having grown on the longitudinal growth region. When the total size of longitudinal growth region along the direction of arrow A is referred to as $\sum X$ while the total size of multiple lateral growth regions along the same direction is referred to as $\sum Y$, there is the relationship $\sum X / \sum Y > 1.0$.

(57) 要約: 本発明の窒素化合物半導体装置は、導電性を有する基板構造物101に支持された半導体積層構造物とを備えている。基板構造物101の主面は、窒素化合物系半導体の縦方向成長の種結晶として機能する

少なくとも1つの縦方向成長領域と、前記縦方向成長領域上に成長した窒素化合物半導体の横方向成長を可能とする複数の

[続葉有]

WO 2006/054543 A1



MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

窒素化合物系半導体装置およびその製造方法

技術分野

[0001] 本発明は、光情報処理やディスプレイに用いられ得る半導体レーザなどの窒素化合物系半導体装置およびその製造方法に関する。

背景技術

[0002] 窒化ガリウム (GaN) をはじめとするIII-V族窒素化合物系半導体材料 ($\text{Al}_{1-x}\text{Ga}_x\text{In}_{1-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)) を用いて作製される青紫色半導体レーザは、光ディスク装置による超高密度記録を実現するためのキーデバイスであり、現在、実用レベルに達しつつある。青紫色半導体レーザの高出力化は、光ディスクの高速書き込みを可能にするのみならず、レーザディスプレイへの応用など、新たな技術分野の開拓に必須の技術である。青紫色半導体レーザの従来例は、例えば、非特許文献1に開示されている。

[0003] 近年、窒素化合物系半導体装置を製造するために必要な基板として、GaN基板が有力視されている。GaN基板は、従来から用いられてきたサファイア基板と比べ、結晶の格子整合や放熱性という点で優れているからである。また、サファイア基板が絶縁物であるのに対して、GaN基板は導電性を有することも利点の1つである。すなわち、GaN基板の裏面側にも電極を形成し、GaN基板を横切る方向に電流が流れる構造を採用することが可能になる。導電性を有するGaN基板の裏面に電極を形成すれば、個々の半導体装置のサイズ(チップ面積)を縮小することが可能になり、チップ面積を縮小すると、1枚のウェハから作製され得るチップの総数が増加するため、製造コストを低くすることができる。

[0004] GaN基板は、例えば以下のようにして作製される。まず、MOVPE法により、サファイア基板上にGaN単層膜を成長させる。その後、ハイドライドVPE (HVPE) などの方法により、GaN単層膜上にGaNの厚膜を成長させ、その後、サファイア基板を剥離する。

[0005] このようにして得られたGaN基板には、 $5 \times 10^7 \text{ cm}^{-2}$ 程度の転位(刃状転位、らせん

転位、混合転位)が存在する。この転位密度では、信頼性の高い半導体レーザを得ることが困難である。また、HVPEなどの方法によって作製されたGa₂N基板の最表面には、ピットやヒロック等が存在しており、そのために、0.1mm程度の凹凸が生じる場合もある。Ga₂N基板主面の凹凸は、フォトリソグラフィ工程などの障害となり、デバイスの製造歩留まりを低下させる。

[0006] このような基板主面における凹凸を解消するためには、基板主面を研磨して平坦化することが必要となる。Ga₂Nは、薬品への耐性が高いため、ケミカル・ポリッシングによる平坦化は困難であり、メカニカル・ポリッシングが主に行われている。その結果、Ga₂N基板表面にスクラッチ傷が発生するとともに、ダメージが結晶の表面近傍に残りやすい。

[0007] また、基板表面に加工歪みが残りがやすく(残留歪み)、しかも歪みに面内分布が生じてしまう。AFM(原子間力顕微鏡)で観察した結果、傷は数十μm程度の深さであり、50μm角エリアで評価したRMS(二乗平均粗さ)値は1.6nmであった。こうしたGa₂N基板の主面上にGa₂N結晶をそのまま成長した場合、結晶表面はスクラッチ傷の影響を大きく受けてしまうという課題がある。

[0008] Ga₂N基板上に成長させた窒素化合物系半導体層における転位密度を、Ga₂N基板の転位密度よりも低減するため、選択横方向成長(ELO:Epitaxial Lateral Overgrowth)が用いられている。以下、図12(a)から(d)を参照しながら、選択横方向成長を説明する。

[0009] まず、図12(a)に示すように、Ga₂N基板1001を用意し、その主面にSiO₂からなるマスク層1003を形成する。マスク層1003には、基板主面のうち結晶成長のシードとして機能する領域を選択的に露出させるストライプ状の開口部が形成されている。

[0010] 次に、図12(b)に示すように、MOVPE法による選択横方向成長を行ない、マスク層1003の各開口部からn-GaN層1002を成長させる。このとき、マスク層1003上にはGa₂N結晶が成長しにくい条件を採用するが、マスク層1003上にも他結晶Ga₂Nが析出する場合がある。Ga₂N基板1001は、通常、n型伝導性を有しやすく、Ga₂N基板上には、窒化ガリウムの原料ガスとともに、モノシラン(SiH₄)やジシラン(Si₂H₆)を供給することにより、n型導電性を有するGa₂N層1002が形成される。

[0011] 図12(c)に示すように、n-GaN層1002の成長を続けると、図12(d)に示すように、隣接するn-GaN層1002が結合して1つの層を形成することになる。

[0012] 上記の方法によって形成されたn-GaN層1002は、転位密度が $7 \times 10^5 \text{ cm}^{-2}$ まで以下に低減された領域を含む。このように転位の少ない領域の上部にデバイス構造を形成すると、信頼性を向上させることが可能となる。ただし、マスク層1003の上に図12(b)に示すように多結晶GaNが析出すると、図12(c)に示すように、結晶性悪化領域1004が形成される。

[0013] 特許文献1は、更に転位密度を低減するため、マスク層をストライプ状の凹部に形成し、その上にエアギャップを設けた半導体装置を開示されている。図13は、凹部がマスク層103で覆われたn-GaN基板101と、ストライプ状リッジ部から成長したn-GaN層103とを備える構造を示している。n-GaN層103は、相対的に転位密度の低減された低転位領域104と、相対的に転位密度の高い高転位領域105とを含んでいる。電流注入領域などを規定するリッジストライプ106は、n-GaN層102における低転位領域104上に配置される。

非特許文献1: ジャパニーズ・ジャーナル・オブ・アプライド・フィジクス (Jpn.J.Appl.Phys.)、第39巻、p. L648 (2000年)

特許文献1: 特開2002-9004号公報

発明の開示

発明が解決しようとする課題

[0014] 特許文献1に開示されている半導体レーザによれば、マスク層上に析出する多結晶GaNに起因した結晶性の悪化を抑制することができるが、しかし、GaN基板の裏面に電極を設ける構造を採用した場合、図12に示す方法で形成した構造を用いた場合と同様に、電極間に印加する電圧を大きくしないと、必要なレーザ発振を実現しにくいことがわかった。

[0015] 本発明は、上記の事情を鑑みてなされたものであり、その主たる目的は、信頼性の高い窒素化合物半導体装置を歩留まり良く提供することにある。

課題を解決するための手段

[0016] 本発明の窒素化合物系半導体装置は、導電性を有する基板構造物と、前記基板

構造物に支持された半導体積層構造物とを備えた窒素化合物系半導体装置であつて、前記基板構造物の主面は、窒素化合物系半導体の縦方向成長の種結晶として機能する少なくとも1つの縦方向成長領域と、前記縦方向成長領域上に成長した窒素化合物半導体の横方向成長を可能とする複数の横方向成長領域とを有しており、前記基板構造物の主面に平行な第1方向における前記縦方向成長領域のサイズの総和を ΣX 、前記第1方向における前記複数の横方向成長領域のサイズの総和を ΣY としたとき、 $\Sigma X / \Sigma Y > 1.0$ の関係が成立する。

- [0017] 好ましい実施形態において、前記基板構造物は、 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$ 、 $x1 \geq 0$ 、 $y1 \geq 0$ 、 $z1 \geq 0$) 結晶から形成されており、前記半導体積層構造物は、前記基板構造物の主面における前記縦方向成長領域から成長した $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ ($x2+y2+z2=1$ 、 $x2 \geq 0$ 、 $y2 \geq 0$ 、 $z2 \geq 0$) 結晶層を含んでいる。
- [0018] 好ましい実施形態において、前記基板構造物は、 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$ 、 $x1 \geq 0$ 、 $y1 \geq 0$ 、 $z1 \geq 0$) 結晶から形成された基板本体と、前記基板本体の上面に形成され、表面が前記基板構造物の主面として機能する $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ ($x3+y3+z3=1$ 、 $x3 \geq 0$ 、 $y3 \geq 0$ 、 $z3 \geq 0$) 結晶層とを含んでおり、前記半導体積層構造物は、前記基板構造物の主面における前記縦方向成長領域から成長した $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ ($x2+y2+z2=1$ 、 $x2 \geq 0$ 、 $y2 \geq 0$ 、 $z2 \geq 0$) 結晶の層を含んでいる。
- [0019] 好ましい実施形態において、前記基板構造物の主面における前記縦方向成長領域および横方向成長領域は、前記第1方向に垂直な方向にストライプ状に延びている。
- [0020] 好ましい実施形態において、前記基板構造物の主面における前記縦方向成長領域は、前記基板構造物の主面に存在するストライプ状リッジ部によって規定されている。
- [0021] 好ましい実施形態において、前記基板構造物の主面を覆うマスク層を更に備えており、前記マスク層は、前記縦方向成長領域に対応する位置に設けられた少なくとも1つのストライプ状の開口部と、前記横方向成長領域に対応する位置に設けられたマスク部とを有している。
- [0022] 好ましい実施形態において、前記マスク層の開口部の面積は、前記マスク層のマス

ク部の面積の1.0倍より大きい。

- [0023] 好ましい実施形態において、前記半導体積層構造物は、前記 $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ 結晶層のバンドギャップよりも小さなバンドギャップを有する活性層を含み、前記活性層の一部にキャリアを注入するための電流狭窄構造を更に備えている。
- [0024] 好ましい実施形態において、前記電流狭窄構造は、前記基板構造物の主面における前記横方向成長領域の真上に位置している。
- [0025] 好ましい実施形態において、前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層は、各構成元素のモル比率 $x3$ 、 $y3$ 、および $z3$ の少なくとも1つが層厚方向に変化する構造を有している。
- [0026] 好ましい実施形態において、前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層は多層構造を有している。
- [0027] 本発明による窒素化合物系半導体装置の製造方法は、窒素化合物系半導体の縦方向成長の種結晶として機能する複数の縦方向成長領域と、前記縦方向成長領域上に成長した窒素化合物半導体の横方向成長を可能とする複数の横方向成長領域とを主面に有する基板構造物を用意する工程であって、前記基板構造物の主面に平行な第1方向における各縦方向成長領域のサイズを X 、前記第1方向における各横方向成長領域のサイズを Y としたとき、 $X/Y > 1.0$ の関係が成立する基板構造物を用意する工程(A)と、前記基板構造物の主面上に窒素化合物系半導体層を成長させる工程(B)とを包含する窒素化合物系半導体装置の製造方法。
- [0028] 好ましい実施形態において、前記工程(A)は、 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$ 、 $x1 \geq 0$ 、 $y1 \geq 0$ 、 $z1 \geq 0$) 結晶から形成されたウェハを前記基板構造物として用意する工程を含み、前記工程(B)は、前記窒素化合物系半導体層として機能する $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ ($x2+y2+z2=1$ 、 $x2 \geq 0$ 、 $y2 \geq 0$ 、 $z2 \geq 0$) 結晶層を前記基板構造物の主面における前記縦方向成長領域から成長させる工程を含む。
- [0029] 好ましい実施形態において、前記工程(A)は、 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$ 、 $x1 \geq 0$ 、 $y1 \geq 0$ 、 $z1 \geq 0$) 結晶から形成されたウェハを基板本体として用意する工程(a1)と、表面が前記基板構造物の主面として機能する $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ ($x3+y3+z3=1$ 、 $x3 \geq 0$ 、 $y3 \geq 0$ 、 $z3 \geq 0$) 結晶層を前記基板本体の上面に成長させる工程(a2)とを含み、前記工程(B)は、前記窒素化合物系半導体層として機能する $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ ($x2+y2+z2=1$ 、 $x2 \geq 0$ 、 $y2 \geq 0$ 、 $z2 \geq 0$) 結晶層を前記基板構造物の主面に

における前記縦方向成長領域から成長させる工程を含む。

- [0030] 好ましい実施形態において、前記基板構造物の主面における前記縦方向成長領域および横方向成長領域は、前記第1方向に対して垂直な方向にストライプ状に延びている。
- [0031] 好ましい実施形態において、前記基板構造物の主面における前記縦方向成長領域は、前記基板構造物の主面に存在するストライプ状リッジ部によって規定されている。
- [0032] 好ましい実施形態において、前記工程(A)は、前記縦方向成長領域を規定するパターンを有するレジストマスクで前記基板構造物の主面を覆う工程と、前記基板構造物の主面のうち前記レジストマスクで覆われていない部分を選択的にエッチングする工程とを含む。
- [0033] 好ましい実施形態において、前記基板構造物の主面を覆うマスク層を更に備えており、前記マスク層は、前記縦方向成長領域に対応する位置に設けられた少なくとも1つのストライプ状の開口部と、前記横方向成長領域に対応する位置に設けられたマスク部とを有している。
- [0034] 好ましい実施形態において、前記マスク層の開口部の総面積は、前記マスク層のマスク部の面積の1.0倍より大きい。
- [0035] 好ましい実施形態において、前記窒素化合物系半導体層、および、前記窒素化合物半導体層上に積層された他の半導体層を有する半導体積層構造物を形成する工程(C)を含み、前記工程(C)は、前記 $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ 結晶層のバンドギャップよりも小さなバンドギャップを有する活性層を形成する工程(c1)と、前記活性層の一部にキャリアを注入するための電流狭窄構造を形成する工程(c2)とを含む。
- [0036] 好ましい実施形態において、前記工程(c2)は、前記基板構造物の主面における前記横方向成長領域の真上に前記電流狭窄構造を配置する工程を含む。
- [0037] 好ましい実施形態において、前記工程(a2)は、前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層における各構成元素のモル比率 $x3$ 、 $y3$ 、および $z3$ の少なくとも1つを層厚方向に変化させる工程を含む。
- [0038] 好ましい実施形態において、前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層は多層構造を有している。

[0039] 好ましい実施形態において、前記工程(a2)は、前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層の成長途中に成長温度を変化させる工程を含む。

[0040] 好ましい実施形態において、XおよびYの少なくとも一方は、ウェハ状態にある前記基板構造物の主面における位置に応じて変化している。

発明の効果

[0041] 本発明によれば、基板主面を横切るように流れる電流に対する電気抵抗が低減されるため、選択横方向成長法を用いて製造される窒素化合物系半導体装置の信頼性および製造歩留まりを向上させることができる。

図面の簡単な説明

[0042] [図1]本発明による窒素化合物半導体装置の第1の実施形態を示す断面図である。

[図2](a)は、図1の半導体装置におけるn-GaN基板101を示す平面図であり、(b)は、そのB-B'線断面図である。

[図3](a)から(d)は、図1におけるn-GaN層102の成長方法を示す工程断面図である。

[図4](a)は、シード部の幅Xと電圧との関係を示すグラフであり、(b)および(c)は、 $\Sigma X / \Sigma Y$ と電圧との関係を示すグラフである。

[図5]図1の半導体装置の改良例を示す断面図である。

[図6]本発明による窒素化合物半導体装置の第2の実施形態を示す断面図である。

[図7]図6の半導体装置の改良例を示す断面図である。

[図8]本発明による窒素化合物半導体装置の第3の実施形態を示す断面図である。

[図9]図8に示す半導体装置の改良例を示す断面図である。

[図10]図8に示す半導体装置の他の改良例を示す断面図である。

[図11]本発明による窒素化合物半導体装置の第4の実施形態を示す断面図である。

[図12](a)から(d)は、従来の選択横方向成長を示す工程断面図である。

[図13]選択横方向成長を利用して作製された従来のエアギャップを有する半導体レーザの主要部断面図である。

符号の説明

[0043] 101 n型GaN基板

- 102 n型GaN層
- 103 SiN_x
- 104 低転位領域
- 105 高転位領域
- 106 リッジストライプ形成位置
- 107 多結晶GaN
- 201 n型AlGa_xN型Ga_{1-x}N超格子コンタクト層
- 202 n型AlGa_xN型Ga_{1-x}N超格子クラッド層
- 203 n型Ga_{1-x}N光ガイド層
- 204 MQW活性層
- 205 p型Ga_{1-x}N光ガイド層
- 206 p型AlGa_xN型Ga_{1-x}N超格子クラッド層
- 207 p型Ga_{1-x}Nコンタクト層
- 208 p電極
- 209 絶縁膜(SiO₂)
- 210 n電極
- 211 ボイド(結合部)
- 601 n型AlGa_xN型Ga_{1-x}N超格子コンタクト層
- 602 n型AlGa_xN型Ga_{1-x}N超格子クラッド層
- 603 n型Ga_{1-x}N光ガイド層
- 604 MQW活性層
- 605 p型Ga_{1-x}N光ガイド層
- 606 p型AlGa_xN型Ga_{1-x}N超格子クラッド層
- 607 p型Ga_{1-x}Nコンタクト層
- 608 p電極
- 609 絶縁膜(SiO₂)
- 610 n電極
- 801 (AlIn)_xGaN層

- 1001 n型GaN基板構造物
- 1002 n型GaN層
- 1003 SiO_2
- 1004 結晶性悪化領域
- 1007 多結晶GaN
- 1101 低温(AlIn)GaN層
- 1102 高温(AlIn)GaN層
- 1201 (AlIn)GaN層(低キャリア濃度)
- 1202 (AlIn)GaN層(高キャリア濃度)
- 1203 n型GaN層(低キャリア濃度層)
- 1204 n型GaN層(高キャリア濃度層)

発明を実施するための最良の形態

- [0044] 以下、図面を参照しながら、本発明の窒素化合物系半導体装置の実施形態を説明する。
- [0045] 下記の各実施形態では、MOVPE法を用いて窒素化合物半導体を成長させているが、本発明で用いることのできる結晶成長方法は、MOVPEに限定されず、ハイドライド気相成長法(H-VPE法)および分子線エピタキシー法(MBE法)を含む公知の窒素化合物半導体成長方法を広く用いることができる。
- [0046] (実施形態1)
- まず、図1を参照する。図1は、本実施形態における窒素化合物系半導体装置の断面を模式的に示している。
- [0047] 図1の半導体装置は、複数のストライプ状リッジ部が主面に形成されたGaN基板101と、GaN基板101上に成長したn-GaN層102とを有している。現実の半導体装置では、通常、n-GaN層102の上にも窒素化合物系半導体層が積層されることになる。ただし、図1におけるn-GaN層102をトランジスタなどのチャンネル層として用いる場合は、n-GaN層102の上にゲート絶縁膜や配線構造が形成されることになる。
- [0048] 図2を参照して、GaN基板101の構成をより詳しく説明する。図2(a)は、窒素化合物系半導体装置におけるGaN基板101の主面を示す上面図であり、図2(b)は、そ

のB-B'線断面図である。図2に示されるように、GaN基板101の主面に形成されたリッジ部の上面は、窒素化合物系半導体の縦方向成長の種結晶(シード)として機能する「縦方向成長領域」である。また、凹部は、リッジ部の上面(縦方向成長領域)から成長する窒素化合物半導体の横方向成長を可能とする「横方向成長領域」である。本実施形態における縦方向成長領域および横方向成長領域は、図2(a)に示されるように、基板主面に平行な矢印Aの方向(第1方向)に交互に周期的に配列されている。GaN基板101の両端部101a、101bは、GaNウェハを切断またはへき開することによって形成された面である。1枚のGaNウェハ上に同一サイズの「縦方向成長領域」および「横方向成長領域」を周期的に配置したとしても、GaNウェハから多数のチップ基板に分割すると、GaN基板101の両端部101a、101bに位置する「縦方向成長領域」または「縦方向成長領域」のサイズは、通常、GaN基板101の両端部101a、101b以外の領域に位置する「縦方向成長領域」または「縦方向成長領域」のサイズに比べて小さくなる。

[0049] ここで、矢印Aの方向(第1方向)における各縦方向成長領域のサイズをX、第1方向における各横方向成長領域のサイズをYとする。また、1つの半導体装置における複数の縦方向成長領域のサイズXの総和を ΣX と表記し、1つの半導体装置における複数の横方向成長領域のサイズYの総和を ΣY と表記する。本実施形態では、 $\Sigma X / \Sigma Y > 1.0$ の関係が成立するようにn-GaN基板101の主面が加工されている。本実施形態における縦方向成長領域および横方向成長領域は、第1方向に垂直な方向(第2方向)にストライプ状に延びているため、矢印Aの方向(第1方向)におけるサイズを「幅」と称する場合がある。

[0050] 図2に示すようなn-GaN基板101の主面における凹凸構造は、公知のフォトリソグラフィおよびエッチング技術によって形成できる。本実施形態では、まず略平坦な主面を有するn-GaN基板101を用意し、このn-GaN基板101の主面をレジスト層で覆う。次に、ストライプパターンを有するフォトマスクを用いてレジスト層の露光工程を行った後、現像工程を行うことにより、ストライプ状開口部を有するレジストマスク(不図示)を形成する。この後、n-GaN基板101の主面のうちレジストマスクで覆われていない部分を選択的にエッチングすることにより、図2に示す凹部をn-GaN基板10

1の主面に形成する。その後、レジストマスクは除去される。

- [0051] 本実施形態におけるn-GaN基板101の主面は、(0001)面である。本実施形態では、凹部の幅(第1方向におけるサイズ)Yが約 $10\mu\text{m}$ 、リッジ部の幅(第1方向におけるサイズ)が約 $7\mu\text{m}$ となるように、レジストマスクのパターンを規定している。
- [0052] レジストマスクを除去した後、プラズマCVD法により、SiN_x層を基板主面上に堆積する。その後、SiN_x層で覆われた基板101上に平坦化のためのレジストを堆積する。続いて、n型GaN基板101の頂面(リッジ部の上面)が露出するまでレジストおよびSiN_x層のエッチバックを行なうことにより、凹部にのみSiN_x層からなるマスク層103を形成する。その後、残存するレジストを有機溶剤等によって除去する。
- [0053] 上記の方法によれば、マスク層103で基板主面の凹部のみを選択的に覆うことが可能であり、露出するリッジ部の上面は、結晶成長のシードとして機能することになる。このマスク層103は、以下に説明する窒素化合物系半導体の選択横成長工程時において選択成長用マスクとして機能する。このため、マスク層103は、その表面に窒素化合物系半導体の成長が生じにくい材料から形成されることが好ましい。
- [0054] 次に、図2に示す構造を有するn-GaN基板101をMOVPE装置の成長チャンバ内に挿入した後、MOVPE法により、 1050°C でリッジ部の上面(シード部)からn型GaN層102を成長させる。本実施形態では、n型のドーパントとして SiH_4 を用いる。GaN層102は、リッジ部上で縦方向(基板主面に垂直な方向)に成長するとともに、基板主面に平行な方向(横方向)にも成長し、マスク層103が存在する凹部の上方へ延びてゆく。
- [0055] 上記の選択成長により、リッジ部の上面から成長したGaN結晶は、隣接するリッジ部の上面から成長したGaN結晶と接触し、全体として、1つのn-GaN層102を形成することになる。
- [0056] 図1に示すように、n-GaN層102で主面が覆われた状態のn-GaN基板101は、基板主面の凹部とn-GaN層102とによって形成された複数のエアギャップを備えている。エアギャップは、ストライプ状リッジ部が延びる方向に沿ってストライプ状に配列される。
- [0057] 前述したように、各リッジ部から成長した個々のn-GaN結晶は、エアギャップの略

中心位置において合体している。なお、 n -Ga N 結晶が成長するとき、結晶の a 軸方向(横方向)の成長レートおよび c 軸方向(縦方向)の成長レートは、Ga N 結晶にドーピングする不純物濃度を調節することにより、制御することが可能である。

[0058] n -Ga N 層102には、図1に示されるように、相対的に転位密度が低い低転位領域104、および、相対的に転位密度が高い高転位領域105が含まれている。高転位領域105は、基板主面のリッジ部上に位置し、低転位領域104は、エアギャップ上に位置する。エアギャップの一部には、マスク層103上に成長した多結晶Ga N 107が存在する場合がある。 n -Ga N 層102を形成するための選択成長を行なうとき、窒素化合物系半導体の結晶がマスク層103上には成長しにくい条件を採用するが、多結晶Ga N 107が部分的に形成されることがある。このような多結晶Ga N 107の成長レートが低いか、あるいは、基板主面における凹部の深さが十分に大きいと、 n -Ga N 層102の形成は多結晶Ga N 107によって阻害されない。

[0059] 図1に示す例では、 n -Ga N 層102のうち低転位領域104の上にリッジストライプ106が配置される。リッジストライプ106は、下地である低転位領域104と同様に転位密度が低く、結晶性に優れた半導体領域である、リッジストライプ106は、結晶性が特に優れていることが要求される、半導体装置の活性領域として用いられる。

[0060] 次に、図3(a)から(d)を参照しながら、 n -Ga N 層102の成長をより詳細に説明する。図3(a)から(d)では、ウェハ状基板のうち、最終的に図1の半導体装置に用いられる部分のみが示されている。

[0061] まず、図3(a)に示すように、主面に凹部が形成され、凹部の底面および側面がマスク層103で覆われた n -Ga N 基板101を用意し、MOVPE装置のチャンバ内に挿入する。図3(a)に示す n -Ga N 基板101は、図2(a)に示す n -Ga N 基板101に相当している。

[0062] この後、 n -Ga N 基板101の主面に対し、500～1100℃程度の熱処理(サーマルクリーニング)を行なう。この熱処理は、例えば750℃で1分以上、望ましくは5分以上行なう。この熱処理を行なっている間、窒素原子(N)を含むガス(N_2 、 NH_3 、ヒドラジンなど)をチャンバ内に流すことが好ましい。

[0063] 熱処理後、MOVPE法により、1050℃程度の温度で n -Ga N 層102をリッジ部上

に選択的に成長させる。図3(b)は、成長途中のn-GaN層102を示している。この段階では、各リッジ部上に成長したn-GaN結晶がストライプ形状を有しており、それらは連結して一枚の層を形成していない。その後、図3(c)に示すように、更にn-GaN結晶の成長を続けると、図3(d)に示すように、1層のn-GaN層102を形成することができる。

- [0064] このように、図3(a)に示すリッジ部または凹部が形成されたn-GaN基板101上に、MOVPE法によってn-GaN結晶102を成長させると、マスク層103で覆われた領域にはGaNのエピタキシャル成長は生じず、マスク層103の開口部を介して露出したn-GaN基板101のリッジ部(シード部)上に選択的なエピタキシャル成長が進行する。シード部として機能する結晶面は、基板主面と同一の(0001)面であり、各々が約7 μm 程度の幅を有するストライプ形状を有している。
- [0065] このようにしてn-GaN結晶の選択横成長を行なうとき、図3(b)に示すように多結晶GaN107が凹部のマスク層103上に析出する場合がある。特に、結晶形成前に行なう熱処理(サーマルクリーニング)により、凹部のマスク層103上にGaやGaNのドロップレットが付着すると、それを起点として多結晶GaN107がマスク層103上にも成長しやすくなる。しかし、マスク層103上に成長する多結晶GaN107はリッジ部の高さに比べて小さいため、リッジ部上面から横方向に成長するn-GaN結晶102の結晶性には悪い影響を与えることはない。この観点からは、凹部の深さは、500nm以上に設定されることが好ましい。
- [0066] 現在入手可能なn-GaN基板101における転位密度は、 $5 \times 10^6 \text{cm}^{-2}$ 程度であるが、n-GaN層102のうち、横方向成長(ラテラル成長)によって形成された部分では、その転位密度を基板の転位密度に比べて1桁以上低減することができる。その結果、形成する半導体装置の信頼性を大きく向上させることが可能になる。また、図3(a)から(d)に示す工程を行なうことにより、n-GaN基板101の主面に存在していたスクラッチ傷の影響を低減することもできる。n-GaN基板101の主面には、通常、研磨による多数のスクラッチ傷(深さ:数十nm程度)がランダムに存在している。このため、n-GaN基板101の主面上にGaN結晶をそのまま成長した場合、GaN結晶層には、スクラッチ傷の影響によって大きなうねりが生じてしまう。しかし、本実施形態の

ように、GaN基板101にストライプ状の凹部(エアギャップ部)を形成しておけば、その部に成長するGaN結晶はスクラッチ傷による影響を受けないですむ。また、リッジ部では、基板主面に存在する凹凸の影響を受けやすいが、横方向成長(ラテラル成長)部では、そのような影響は受けにくくなる。これらの効果により、図3(a)から(d)に示す方法は、GaN結晶表面の平坦性を大きく改善できる。

[0067] 前述したように、本実施形態では、 $\Sigma X / \Sigma Y$ を1.0より大きく、好ましくは2.0より大きく、更に好ましくは3より大きく設定している。このことにより得られる効果を以下に説明する。

[0068] まず、図4(a)から(c)を参照する。図4(a)は、シード部の幅Xと電圧との関係を示すグラフであり、図4(b)および(c)は、 $\Sigma X / \Sigma Y$ と電圧との関係を示すグラフである。図4(b)と図4(c)との違いは、横軸のスケールと範囲にある。

[0069] 図4からわかるように、n-GaN基板101の主面において結晶成長のシード部(縦方向成長領域)の各幅Xを大きくし、かつ、凹部(横方向成長領域)の各幅Yを小さくすると、同一電流を得るために必要な印加電圧を低減することができる。これは、 $\Sigma X / \Sigma Y$ を大きくするにつれ、基板主面のうち、縦方向に電流を流すことのできる領域の面積が増大するためである。電流が流れる領域の面積が増大すると、抵抗が低下するため、電極間に同じ大きさの電流を流すときに必要となる印加電圧を小さくできる。

[0070] 例えば、半導体レーザの動作電流を100mAに設定したとき、基板主面の抵抗に起因する電圧の増加分を0.01V以下に抑えるためには、シード部幅を6 μ m以上に設定すればよい。この電圧増加分が0.01V以下であれば、半導体レーザの信頼性低下を回避できる。なお、n-GaN層102における各横方向成長部分の幅(ウイング幅)は、6 μ m以上であることが望ましい。したがって、横方向成長部分を左右対称に形成する場合は、凹部の幅Yは12 μ m程度に設定することが好ましい。ただし、図5に示すような非対称な横方向成長を実行すれば、一方の横方向成長部分の幅を実効的に拡大できるため、ウイング幅を低減せずに、凹部の幅を小さくすることが可能である。

[0071] なお、電気抵抗の観点からは、n-GaN基板101とn-GaN層102との間に存在

するエアギャップ(凹部)の数を可能な限り少なくすることが好ましい。したがって、エアギャップは、転位密度の低下が必要とされる部分(電流狭窄構造)の真下のみに形成することが好ましい。このように、1つの半導体レーザ素子中に1つのエアギャップを設ける場合は、 $\Sigma X / \Sigma Y$ は、1.0より大きく、30以下の範囲に含まれるような大きな値を有することになる。本発明者の検討によると、 $\Sigma X / \Sigma Y$ は、2以上に設定することがより好ましく、3以上に設定することが更に好ましい。1つの半導体装置に含まれる1つの基板に単一の横方向成長領域を形成し、その両側に2つの縦方向成長領域を形成する場合、 $\Sigma X / \Sigma Y$ を6以上(例えば9以上)に設定することができる。図4(c)からわかるように、 $\Sigma X / \Sigma Y$ を大きくするほど、印加電圧を低下させることができるので好ましい。

[0072] GaN基板の表面には、前述したようにスクラッチ傷が存在しているため、従来、縦方向成長領域のサイズXは可能な限り小さく設定すべきとする技術常識が存在した。また、縦方向成長領域上に成長した結晶領域の結晶性が相対的に悪いため、そのサイズXが大きくなるほど、横方向成長領域上に成長する結晶領域に悪影響が及びやすくなると考えられていた。しかしながら、本願発明者の実験によると、縦方向成長領域のサイズXを大きくしても、横方向成長領域上に成長する結晶領域の結晶性は劣化しないことがわかった。これは、n-GaN層102と同種(ホモ)材料であるGaN基板101を用いているため、両者の間に応力(歪)がほとんど発生しないためであると考えられる。すなわち、部分的に転位密度を低下させるための横方向成長を行なっても、縦方向成長領域に発生した転位が横方向成長領域上の低転位部へ回り込む量を大幅に低減することができる。特に、本実施形態で用いるGaN基板101の転位密度は 10^7 cm^{-2} 以下に低減されているため、低転位領域への転位の回り込みをより大きく低減することができる。このため、電流狭窄構造が形成されるべき領域の真下に一意する領域に限定してエアギャップ部を形成することが可能となる。

[0073] このように、電流狭窄構造を形成する必要のない領域にエアギャップ部を形成しないようにするか、仮に形成しても、その形成領域の面積を小さくすることにより、不要なエアギャップ領域を減らすことが好ましい。不要なエアギャップを減らすことにより、基板と半導体積層構造との間における密着性を大きく向上させることができる。その

結果、ウェハのへき開を行なうとき、スクライブ線を引く際に発生していたエアギャップ部の潰れを抑制し、スクライブ線を基板構造物内部まで均一に引くことが可能となる。これにより、研磨工程・実装工程時に発生する基板からの半導体積層構造の剥離を低減するとともに、へき開性を改善でき、歩留まり向上を実現できる。

[0074] 本実施形態および以下の実施形態では、n-GaN基板を用いているが、半導体積層構造を支持する基板構造体としては、n-GaN基板に代えて、 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$, $x1\geq 0$, $y1\geq 0$, $z1\geq 0$) 結晶から形成された基板構造物を広く用いることができる。また、その上に選択横方向成長によって形成する窒素化合物半導体層も、n-GaN層に限定されず、 $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ ($x2+y2+z2=1$, $x2\geq 0$, $y2\geq 0$, $z2\geq 0$) 結晶層であってもよい。

[0075] 本実施形態では、マスク層103が凹部の底面および側面の両方を被覆しているが、凹部の底面のみを被覆していても良い。また、 SiN_x に代えて、他の誘電体または非晶質絶縁物を用いてマスク層を形成しても良い。例えば、 SiO_2 、 SiON 、 Al_2O_3 、 AlON 、 TiO_2 、 ZrO_2 、 Nb_2O_5 から形成したマスク層を用いても、選択横方向成長が可能である。

[0076] なお、凹部の底面をマスク層で覆わない場合でも、凹部の底面上に窒素化合物半導体の結晶が成長することを抑制することが可能になる場合がある。したがって、凹部の底面はマスク層で覆うことが好ましいが、覆うことは不可欠ではない。更に、図12を参照して説明した従来の構成を有する基板を用いる場合でも、本発明は有効である。すなわち、図12に示す基板においても、 $\Sigma X/\Sigma Y$ を1.0より大きく、好ましくは2.0より大きく、更に好ましくは3より大きく設定することにより、基板主面を電流が横切るときの抵抗を低減できる効果が得られる。

[0077] 以上に説明したことは、以下の各実施形態でも成立する。

[0078] (実施形態2)

次に、図6を参照しながら、本発明による窒素化合物系半導体装置の第2の実施形態を説明する。図6は、本実施形態に係る窒素化合物半導体レーザの断面構造を模式的に示している。

[0079] 図示されている半導体レーザは、ストライプ状に延びる凹部が主面に形成されたn

—GaN基板101と、GaN基板101上に成長した半導体積層構造とを備えている。半導体積層構造の最下層は、n—GaN基板101上に成長させられたn—GaN層102である。本実施形態におけるn—GaN基板101およびn—GaN層102は、前述した実施形態1におけるn—GaN基板101およびn—GaN層102と同様にして作製されたものである。

[0080] 上記の半導体積層構造は、n—GaN層102の上に、n—AlGaN型GaN超格子コンタクト層201、n—AlGaN型GaN超格子クラッド層202、n—GaN光ガイド層203、多重量子井戸(MQW)活性層204、p—GaN光ガイド層205、p—AlGaN型GaNクラッド層206、およびp—GaNコンタクト層207を、この順序で積層することによって作製されている。これらの窒素化合物系半導体層は、MOVPE法により、好適に成長させられる。

[0081] p—GaNコンタクト層207およびp—AlGaN型GaNクラッド層206は、リッジストライプを形成するように加工されている。リッジストライプの幅(ストライプ幅)は、 $2\mu\text{m}$ 程度である。半導体積層構造の上面は、リッジストライプの上に位置するストライプ状開口部を有する絶縁膜209によって覆われている。絶縁膜209の開口部を介して、p—GaNコンタクト層207の上面の一部はp電極208と接触している。なお、n—GaN基板101の裏面にはn電極210が設けられている。

[0082] 上記のリッジストライプの形状および位置、厳密には、絶縁膜209の開口部の形状および位置は、活性層204の電流(キャリア)注入領域を規定する。本実施形態では、n—GaN層102における低転位領域の真上に絶縁膜209の開口部が配置されている。このため、p電極208とn電極210との間に所定レベルの電圧を印加すると、電極208、210から注入されたキャリアは、MQW活性層204のうち、基板主面の凹部(エアギャップ)の真上に位置する領域を選択的に流れることになる。半導体積層構造のうち、基板主面の凹部(エアギャップ)の真上に位置する部分は、他の部分に比べて転位や欠陥の密度が低い。なお、エアギャップの真上であっても、n—GaN層102における合体部のボイド(結合物)211の真上を避けるようにリッジストライプを配置することが好ましい。図6に示すように、このボイド211からは、その真上に向かって転位が走っている。

- [0083] 本実施形態の半導体レーザによれば、n電極210とp電極208間に電圧を印加すると、MQW活性層204に向かつてp電極208から正孔が、n電極210から電子が注入される。その結果、MQW活性層204で利得を生じ、およそ400nm付近の波長域でレーザ発振が生じる。本実施形態では、1つの凹部を電流狭窄構造の下方に配置し、 $\Sigma X / \Sigma Y$ を1.0～30の範囲内に設定している。具体的には、図6に示すサイズ $X1 + X2$ の値を120～400 μm 程度に設定し、サイズYを20～40 μm 程度に設定している。このため、 $\Sigma X / \Sigma Y = (X1 + X2) / Y$ は、6以上10以下の範囲にある。このようにして本実施形態では、従来に比べて格段に低い抵抗で注入電流が縦方向に流れるため、電極間に印加する電圧を低減できる。
- [0084] なお、本実施形態でも、エアギャップ上に位置する半導体中の転位密度をGaN基板101に存在する転位密度よりも1桁以上低減するとともに、GaN基板101の主面に存在するスクラッチ傷の影響を大きく低減できる。
- [0085] 本実施形態に係る窒素化合物系半導体装置は、リッジストライプなどの電流狭窄構造を備える半導体レーザであるが、本発明はこれに限定されず、電流狭窄する構造を必要としない発光ダイオード(LED)であってもよい。発光ダイオードの場合でも、エアギャップ部(凹部)のサイズを相対的に小さく設定することにより、基板主面を横切るように電流を流すときにおける電気抵抗を全体として低減する効果が得られる。
- [0086] なお、本実施形態の半導体レーザでは、図6に示すように、p電極208とn電極210とを基板101の異なる側に配置しているが、p電極208およびn電極210を基板101に対して同一の側(基板主面側)に配置してもよい。従来のELO法による場合、基板主面に平行な方向に流れる電流に対する電気抵抗を低下させるためには、厚膜を形成することが必要であったが、本発明によれば、エアギャップ部分の面積が減少することにより、横方向に流れる電流に対する電気抵抗も全体として低下するため、厚膜に形成に必要であった長い結晶成長時間を短縮でき、製造のスループットが向上する。なお、n電極を基板101の裏面に設ける場合でも、裏面全体に設ける必要はなく、図7に示すように、裏面の一部に設けてもよい。
- [0087] 横方向成長によって形成したn-GaN層102の結合部211にはボイドが存在しており、転位は結合部211の近傍に集中して形成されやすい。n-GaN層102の中で

も、結合部211およびその近傍では、リーク電流が発生しやすい。したがって、半導体レーザのしきい値電流を低下させ、長期信頼性を向上させるためには、結合部211を電流が流れない構造を採用することが好ましい。図7の例では、n電極210が、結合部211に関してリッジストライプ等の電流狭窄構造と同じ側に配置されている。このようにすることにより、電流経路が結合部211の近傍に存在する転位を横切らないようにすることが可能になる。

[0088] (実施形態3)

次に、図8を参照しながら、本発明による窒素化合物系半導体装置の第3の実施形態を説明する。

[0089] 本実施形態の構成が図1に示す構成と異なる点は、本実施形態におけるn-GaN基板101の表面にGaN層801(厚さ $1\mu\text{m}$)が設けられている点にある。具体的には、n-GaN基板101の主面にGaN層801を成長させた後、実施形態1について説明した方法により、基板主面にストライプ状リッジが形成されている。

[0090] 本実施形態におけるリッジ部(レジストのある凸部)の幅Xは約 $20\mu\text{m}$ 、凹部の幅Yは約 $5\mu\text{m}$ に設定している。凹部の底面および側面は、ECRスパッタ法または熱CVD法によって堆積された SiO_2 からなるマスク層103で覆われている。

[0091] n-GaN層102の選択横方向成長は、実施形態1について説明した方法と同様にして実行される。本実施形態における $\Sigma X/\Sigma Y$ は、8程度に設定されている。

[0092] 以下、n-GaN基板101上に設けたGaN層801の機能を説明する。

[0093] n-GaN基板101の主面には、前述の通り、研磨時に発生するスクラッチ傷やダメージが存在する。GaN基板の主面には、研磨による表面損傷だけではなく、GaN基板自体を製造する際に生じた結晶配向性のばらつきも存在している。このため、GaN基板上に直接的にGaN層をエピタキシャル成長させると、得られたGaN層の表面平坦性やモフォロジーが悪化してしまうことがある。このような基板主面の状態に起因する悪影響を低減するため、GaN基板101とn-GaN層102との間にGaN層801などのバッファ層を挿入することが好ましい。

[0094] バッファ層の挿入により、基板構造物の最表面における凹凸が低減され、その結晶表面の平坦性が改善される。また、GaN基板の主面に存在していた結晶配向性の

ばらつきによる悪影響も軽減することができる。

- [0095] GaN層801は、多層構造を有していてもよい。図9は、n-GaN基板101上に500～600℃程度の温度で低温GaN層1101を成長させた後、1000～1100℃の温度で高温GaN層1102を成長させた構造を示している。低温GaN層1101の成長により、n-GaN基板101に内在していた欠陥による影響を低減し、高温GaN層1102により、結晶性を向上させることができる。このため、高温GaN層1102上に成長したn-GaN層102の欠陥密度が更に低減される。
- [0096] 図10は、ドーピング濃度すなわちキャリア濃度が厚さ方向に均一ではないGaN層をGaN基板101上に形成した構造を示している。GaN基板101上には、 $5 \times 10^{17} \text{cm}^{-3}$ 程度の低キャリア濃度(AlIn)GaN層1201と、 $1 \times 10^{17} \text{cm}^{-3}$ 程度の高キャリア濃度(AlIn)GaN層1202とが積層されている。ここで、(AlIn)GaN層とは、GaN層、および、GaN層におけるGaの少なくとも一部がAlまたはInで置換された窒素化合物系半導体の層を示すものとする。
- [0097] なお、本実施形態では、高キャリア濃度(AlIn)GaN層1202のみに凹凸が形成されているが、凹部の底面は低キャリア濃度(AlIn)GaN層1201に達していても良い。
- [0098] なお、n-GaN層102の成長は、実施形態1について説明した方法と同様の方法で行なわれる。
- [0099] GaN基板101の主面に直接、高キャリア濃度(AlIn)GaN層1201を成長させると、高キャリア濃度GaN結晶中に転位が発生し、その結晶性が悪化してしまう。このため、GaN基板101の主面に(AlIn)GaN結晶を成長させる最初の段階では、キャリア濃度が極力低くなる条件で結晶成長を行なうことが好ましい。
- [0100] 図10の例では、GaN基板101上に低キャリア濃度のGaN層1201を最初に形成しているが、ストライプ幅の狭いリッジ部は、高いキャリア濃度を有しているため、電気抵抗が十分に低減されている。
- [0101] 高キャリア濃度(AlIn)GaN層1202の露出表面がシード部として機能する。このシード部からn-GaN層102が縦方向のみならず、横方向にも成長する。このn-GaN層102のキャリア濃度も一様である必要はなく、分布を持っていても良い。例えば、成長初期の段階では、 $5 \times 10^{17} \text{cm}^{-3}$ 以下の低キャリア濃度GaN層1203を形成し、その

上に $5 \times 10^{17} \text{cm}^{-3}$ 程度の高キャリア濃度Ga₁₂₀₄N層を積層してもよい。

[0102] 高キャリア濃度(AlIn)₁₂₀₂GaN層の厚さは、50nm以上500nm以下の範囲に設定されることが好ましく、低キャリア濃度Ga₁₂₀₃N層の厚さは、50nm以上1000nm以下の範囲に設定されることが好ましい。

[0103] なお、n型Ga₁₀₂N層とGa₁₀₁N基板との間に挿入するバッファ層は、Ga₁₀₂N層に限定されず、 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ ($x3+y3+z3=1$, $x3 \geq 0$, $y3 \geq 0$, $z3 \geq 0$) で表される材料から形成されていてもよい。

[0104] このようにバッファ層が設けられた基板、および、バッファ層が設けられてない基板を、本願明細書では総称して「基板構造物」と称する場合がある。すなわち、基板構造物は、 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$, $x1 \geq 0$, $y1 \geq 0$, $z1 \geq 0$) 結晶から形成された基板本体のみからなる場合もあれば、このような基板本体の上面に $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ ($x3+y3+z3=1$, $x3 \geq 0$, $y3 \geq 0$, $z3 \geq 0$) 結晶層が形成された構造物である場合もある。基板本体の最上面に $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ ($x3+y3+z3=1$, $x3 \geq 0$, $y3 \geq 0$, $z3 \geq 0$) 結晶層が形成されている場合は、この結晶層の表面における特定領域が「縦方向成長領域」として機能することになる。

[0105] (実施形態4)

以下、図11を参照しながら、本発明による窒素化合物半導体装置の第4の実施形態を説明する。

[0106] 図11に示す例では、Ga₁₀₁N基板の主面に形成された複数の凹部の幅は、いずれも約5 μmに設定されているが、リッジ部(凸部)の幅が位置に応じて変化している。すなわち、リッジ部の幅がウェハの外周に近い位置では相対的に小さいが、ウェハの中心に近づくにつれて幅が大きくなっている。図11の構造は、他の点では、図1を参照して説明した実施形態1の構成と同様の構成を有している。

[0107] このような構成を採用することにより、Ga₁₀₁N基板に存在する転位密度を1桁以上低減する効果に加え、基板と半導体積層構造との間に存在する格子定数の差に起因して生じる基板(ウェハ)のそりを低減できる。

[0108] 一般に、ウェハ状のn-Ga₁₀₁N基板を結晶成長温度(1000~1100℃)に昇温した後、室温まで冷却すると、基板と半導体積層構造との間に存在する格子定数の

差に起因してウェハにそりが発生する。GaN基板101の格子定数よりも半導体積層構造の格子定数が小さい場合と、大きい場合とで、そりの向きが異なる。

[0109] GaN基板101の格子定数よりも半導体積層構造の格子定数が大きい場合は、リッジ部の幅をウェハ周辺部に行くほど狭く設定することが好ましい。そうすることにより、ウェハ周辺部に発生する応力を低減することができるからである。一方、GaN基板101の格子定数よりも半導体積層構造の格子定数が小さい場合は、リッジ部の幅をウェハ周辺部に行くほど広く設定することが好ましい。この場合、 X/Y をウェハ中心部では0.5程度に設定し、ウェハ周辺部では2.0程度に設定することができる。

[0110] なお、リッジ部(凸部)の幅を位置によらず一定値に設定し、凹部の幅をウェハ上の位置に応じて変化させても、同様の効果が得られる。ただし、凹部の幅を広くしすぎると、 n -GaN層102の結合を達成するために必要な結晶成長時間が長くなりすぎる場合があるため、適当な範囲内で幅を調節することが好ましい。この場合は、 X/Y をウェハ中心部では0.5程度に設定し、ウェハ周辺部では1.0程度に設定することができる。

産業上の利用可能性

[0111] 本発明の窒素化合物半導体素子は、信頼性の高いGaN系半導体レーザを必要とする光記録装置、光ディスプレイ(レーザディスプレイ)装置等の光源として有用である。また、本発明は、レーザ加工、医用等への応用にも有用である。さらに、本発明をチャネル領域などの活性領域を備える他の窒素化合物系半導体装置に適用すれば、チャネルを低欠陥領域に形成するため、信頼性の高いデバイスを実現することもできる。

請求の範囲

- [1] 導電性を有する基板構造物と、前記基板構造物に支持された半導体積層構造物とを備えた窒素化合物系半導体装置であって、
 前記基板構造物の主面は、窒素化合物系半導体の縦方向成長の種結晶として機能する少なくとも1つの縦方向成長領域と、前記縦方向成長領域上に成長した窒素化合物半導体の横方向成長を可能とする複数の横方向成長領域とを有しており、
 前記基板構造物の主面に平行な第1方向における前記縦方向成長領域のサイズの総和を ΣX 、前記第1方向における前記複数の横方向成長領域のサイズの総和を ΣY としたとき、 $\Sigma X / \Sigma Y > 1.0$ の関係が成立する、窒素化合物系半導体装置。
- [2] 前記基板構造物は、 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$ 、 $x1 \geq 0$ 、 $y1 \geq 0$ 、 $z1 \geq 0$) 結晶から形成されており、
 前記半導体積層構造物は、前記基板構造物の主面における前記縦方向成長領域から成長した $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ ($x2+y2+z2=1$ 、 $x2 \geq 0$ 、 $y2 \geq 0$ 、 $z2 \geq 0$) 結晶層を含んでいる、請求項1に記載の窒素化合物系半導体装置。
- [3] 前記基板構造物は、
 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$ 、 $x1 \geq 0$ 、 $y1 \geq 0$ 、 $z1 \geq 0$) 結晶から形成された基板本体と、
 前記基板本体の上面に形成され、表面が前記基板構造物の主面として機能する $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ ($x3+y3+z3=1$ 、 $x3 \geq 0$ 、 $y3 \geq 0$ 、 $z3 \geq 0$) 結晶層と、
 を含んでおり、
 前記半導体積層構造物は、前記基板構造物の主面における前記縦方向成長領域から成長した $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ ($x2+y2+z2=1$ 、 $x2 \geq 0$ 、 $y2 \geq 0$ 、 $z2 \geq 0$) 結晶の層を含んでいる、請求項1に記載の窒素化合物系半導体装置。
- [4] 前記基板構造物の主面における前記縦方向成長領域および横方向成長領域は、前記第1方向に垂直な方向にストライプ状に延びている、請求項1に記載の窒素化合物系半導体装置。
- [5] 前記基板構造物の主面における前記縦方向成長領域は、前記基板構造物の主面に存在するストライプ状リッジ部によって規定されている、請求項4に記載の窒素化合物系半導体装置。

物系半導体装置。

- [6] 前記基板構造物の主面を覆うマスク層を更に備えており、
前記マスク層は、前記縦方向成長領域に対応する位置に設けられたストライプ状の開口部と、前記横方向成長領域に対応する位置に設けられたマスク部とを有している、請求項4または5に記載の窒素化合物系半導体装置。
- [7] 前記マスク層の開口部の面積は、前記マスク層のマスク部の面積の1.0倍より大きい、請求項6に記載の窒素化合物系半導体装置。
- [8] 前記半導体積層構造物は、前記 $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ 結晶層のバンドギャップよりも小さなバンドギャップを有する活性層を含み、
前記活性層の一部にキャリアを注入するための電流狭窄構造を更に備えている、請求項2に記載の窒素化合物系半導体装置。
- [9] 前記電流狭窄構造は、前記基板構造物の主面における前記横方向成長領域の真上に位置している請求項8に記載の窒素化合物系半導体装置。
- [10] 前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層は、各構成元素のモル比率 $x3$ 、 $y3$ 、および $z3$ の少なくとも1つが層厚方向に変化する構造を有している、請求項3に記載の窒素化合物系半導体装置。
- [11] 前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層は多層構造を有している、請求項10に記載の窒素化合物系半導体装置。
- [12] 窒素化合物系半導体の縦方向成長の種結晶として機能する複数の縦方向成長領域と、前記縦方向成長領域上に成長した窒素化合物半導体の横方向成長を可能とする複数の横方向成長領域とを主面に有する基板構造物を用意する工程であって、前記基板構造物の主面に平行な第1方向における各縦方向成長領域のサイズを X 、前記第1方向における各横方向成長領域のサイズを Y としたとき、 $X/Y > 1.0$ の関係が成立する基板構造物を用意する工程(A)と、
前記基板構造物の主面上に窒素化合物系半導体層を成長させる工程(B)と、
を包含する窒素化合物系半導体装置の製造方法。
- [13] 前記工程(A)は、 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$ 、 $x1 \geq 0$ 、 $y1 \geq 0$ 、 $z1 \geq 0$) 結晶から形成されたウェハを前記基板構造物として用意する工程を含み、

前記工程(B)は、前記窒素化合物系半導体層として機能する $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ ($x2+y2+z2=1$ 、 $x2\geq 0$ 、 $y2\geq 0$ 、 $z2\geq 0$) 結晶層を前記基板構造物の主面における前記縦方向成長領域から成長させる工程を含む、請求項12に記載の窒素化合物系半導体装置の製造方法。

- [14] 前記工程(A)は、 $\text{Al}_{x1}\text{Ga}_{y1}\text{In}_{z1}\text{N}$ ($x1+y1+z1=1$ 、 $x1\geq 0$ 、 $y1\geq 0$ 、 $z1\geq 0$) 結晶から形成されたウェハを基板本体として用意する工程(a1)と、

表面が前記基板構造物の主面として機能する $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ ($x3+y3+z3=1$ 、 $x3\geq 0$ 、 $y3\geq 0$ 、 $z3\geq 0$) 結晶層を前記基板本体の上面に成長させる工程(a2)と、
を含み、

前記工程(B)は、前記窒素化合物系半導体層として機能する $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ ($x2+y2+z2=1$ 、 $x2\geq 0$ 、 $y2\geq 0$ 、 $z2\geq 0$) 結晶層を前記基板構造物の主面における前記縦方向成長領域から成長させる工程を含む、請求項12に記載の窒素化合物系半導体装置の製造方法。

- [15] 前記基板構造物の主面における前記縦方向成長領域および横方向成長領域は、前記第1方向に対して垂直な方向にストライプ状に延びている、請求項12に記載の窒素化合物系半導体装置の製造方法。

- [16] 前記基板構造物の主面における前記縦方向成長領域は、前記基板構造物の主面に存在するストライプ状リッジ部によって規定されている、請求項15に記載の窒素化合物系半導体装置の製造方法。

- [17] 前記工程(A)は、
前記縦方向成長領域を規定するパターンを有するレジストマスクで前記基板構造物の主面を覆う工程と、

前記基板構造物の主面のうち前記レジストマスクで覆われていない部分を選択的にエッチングする工程と、

を含む、請求項16に記載の窒素化合物系半導体装置の製造方法。

- [18] 前記基板構造物の主面を覆うマスク層を更に備えており、
前記マスク層は、前記縦方向成長領域に対応する位置に設けられたストライプ状の開口部と、前記横方向成長領域に対応する位置に設けられたマスク部とを有してい

る、請求項16または17に記載の窒素化合物系半導体装置の製造方法。

[19] 前記マスク層の開口部の面積は、前記マスク層のマスク部の面積の1.0倍より大きい、請求項18に記載の窒素化合物系半導体装置の製造方法。

[20] 前記窒素化合物系半導体層、および、前記窒素化合物半導体層上に積層された他の半導体層を有する半導体積層構造物を形成する工程(C)を含み、

前記工程(C)は、前記 $\text{Al}_{x2}\text{Ga}_{y2}\text{In}_{z2}\text{N}$ 結晶層のバンドギャップよりも小さなバンドギャップを有する活性層を形成する工程(c1)と、前記活性層の一部にキャリアを注入するための電流狭窄構造を形成する工程(c2)とを含む、請求項13または14に記載の窒素化合物系半導体装置の製造方法。

[21] 前記工程(c2)は、前記基板構造物の主面における前記横方向成長領域の真上に前記電流狭窄構造を配置する工程を含む、請求項20に記載の窒素化合物系半導体装置の製造方法。

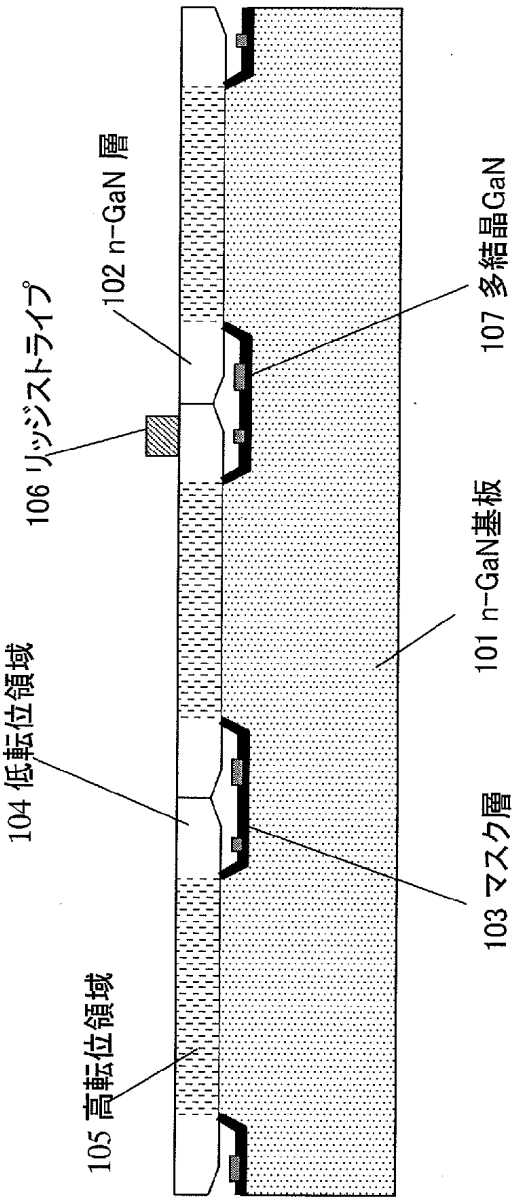
[22] 前記工程(a2)は、前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層における各構成元素のモル比率 $x3$ 、 $y3$ 、および $z3$ の少なくとも1つを層厚方向に変化させる工程を含む、請求項15に記載の窒素化合物系半導体装置の製造方法。

[23] 前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層は多層構造を有している、請求項22に記載の窒素化合物系半導体装置の製造方法。

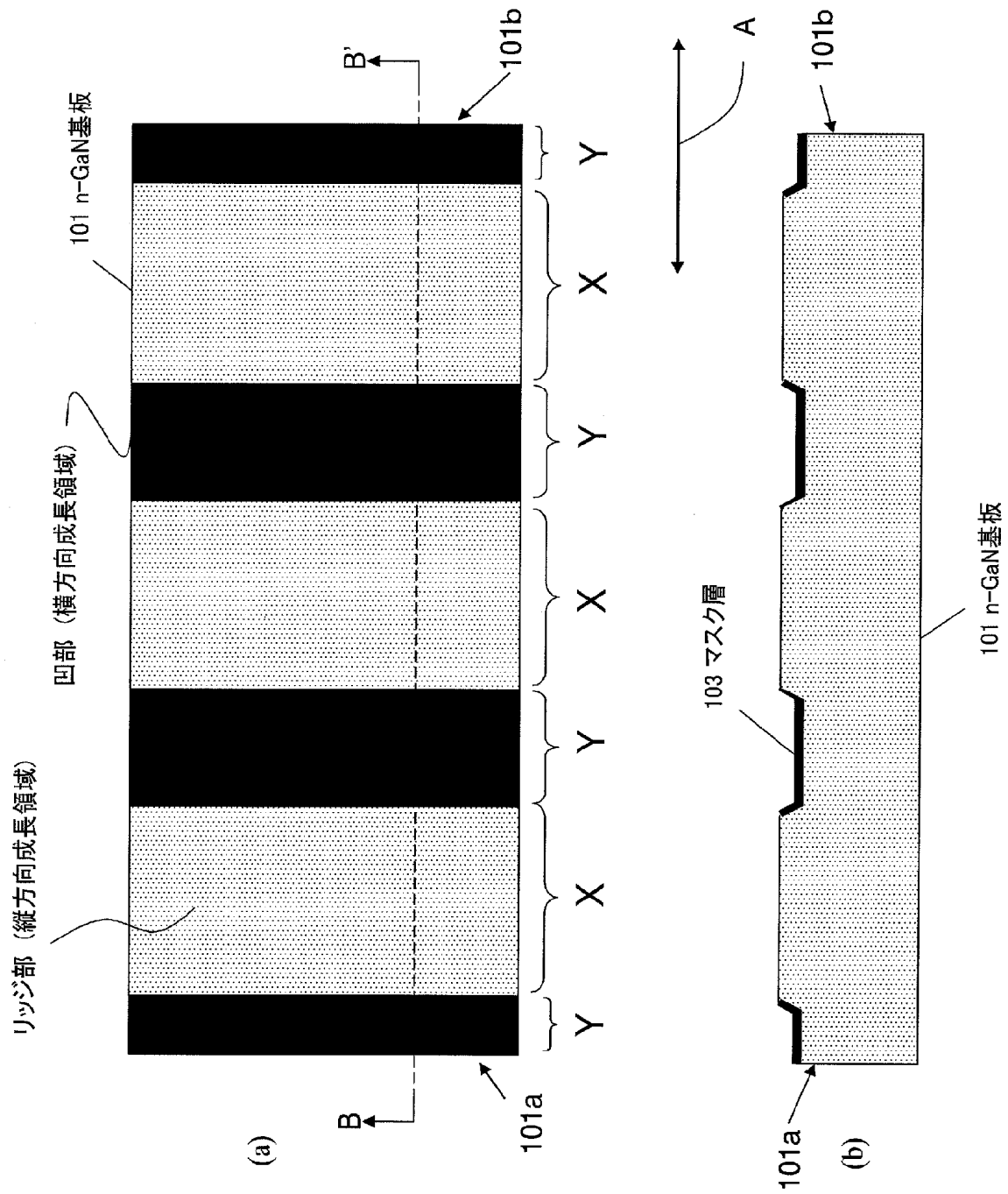
[24] 前記工程(a2)は、前記 $\text{Al}_{x3}\text{Ga}_{y3}\text{In}_{z3}\text{N}$ 層の成長途中に成長温度を変化させる工程を含む、請求項13に記載の窒素化合物系半導体装置の製造方法。

[25] XおよびYの少なくとも一方は、ウェハ状態にある前記基板構造物の主面における位置に応じて変化している、請求項12に記載の窒素化合物系半導体装置の製造方法。

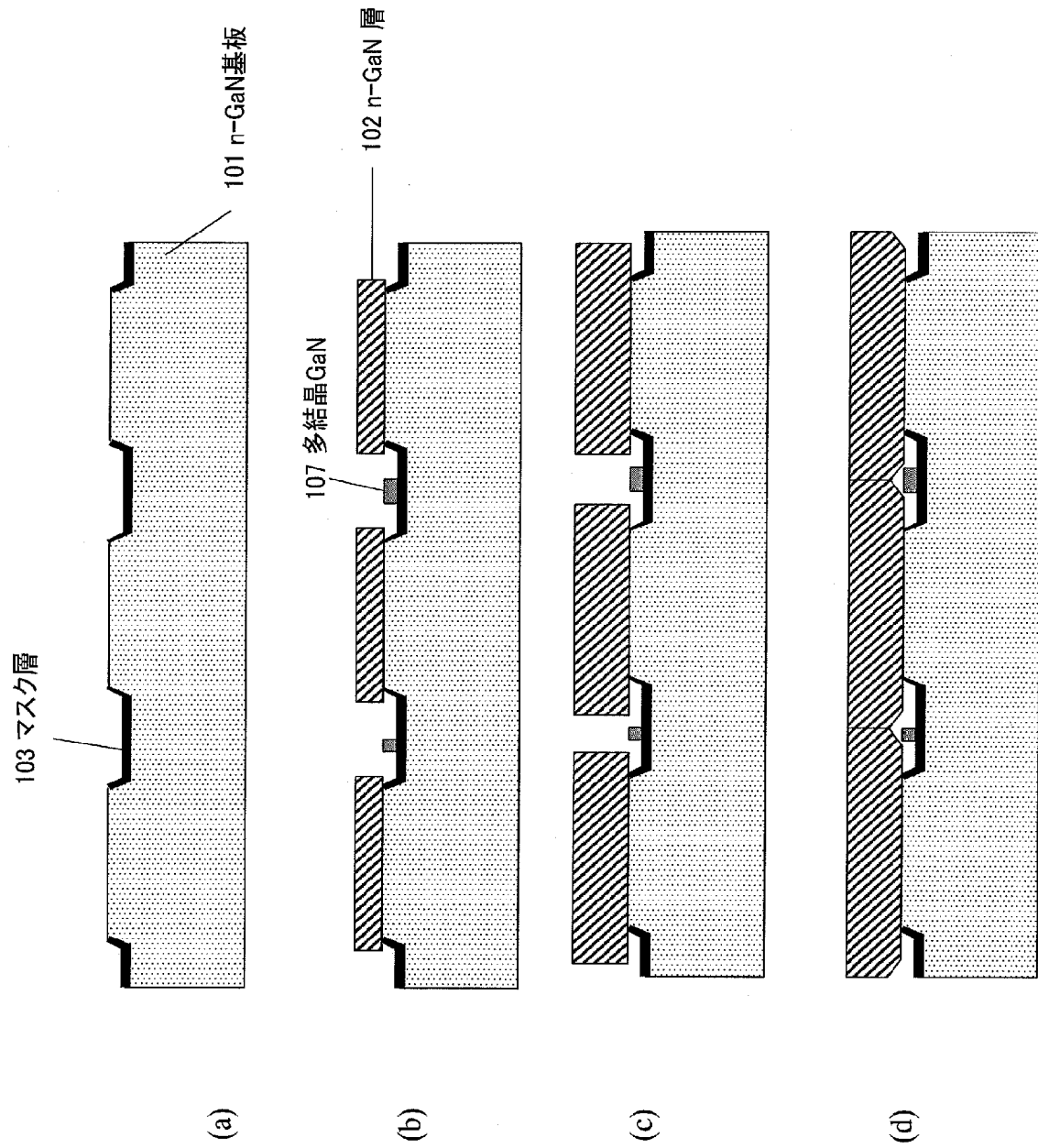
[図1]



[図2]

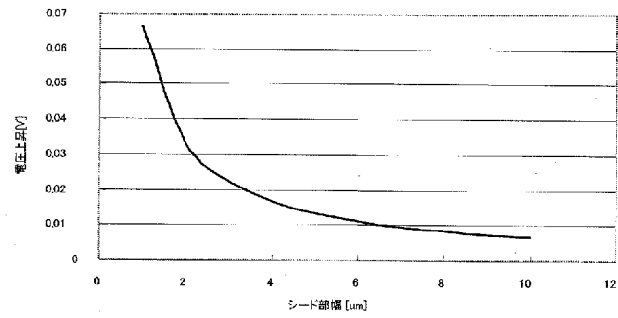


[図3]

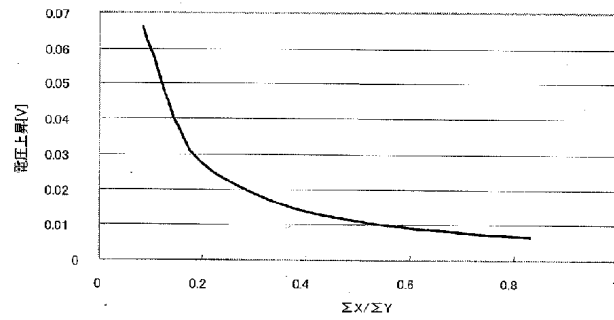


[図4]

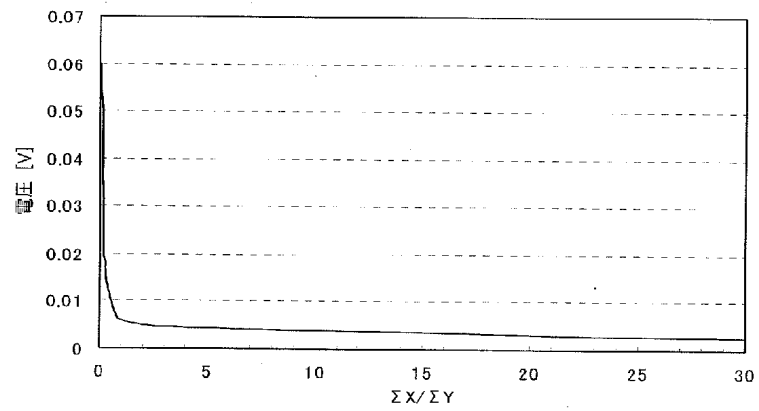
(a)



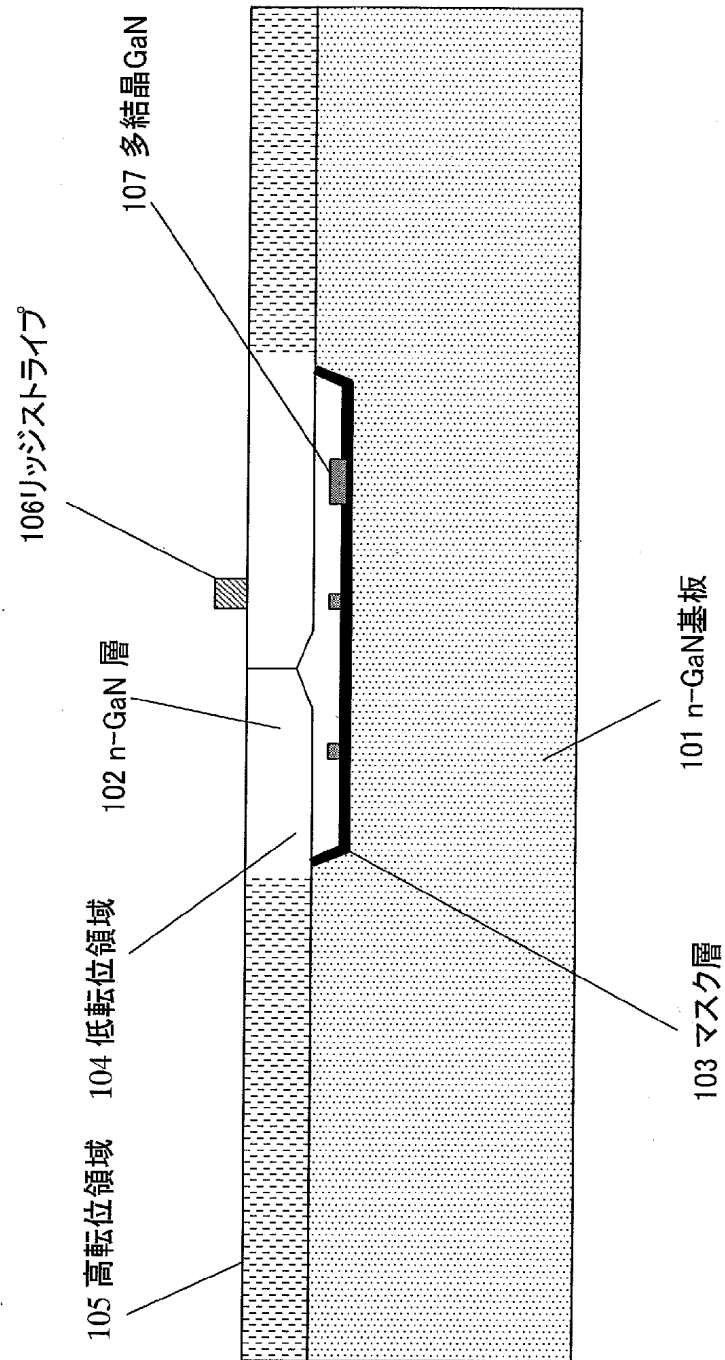
(b)



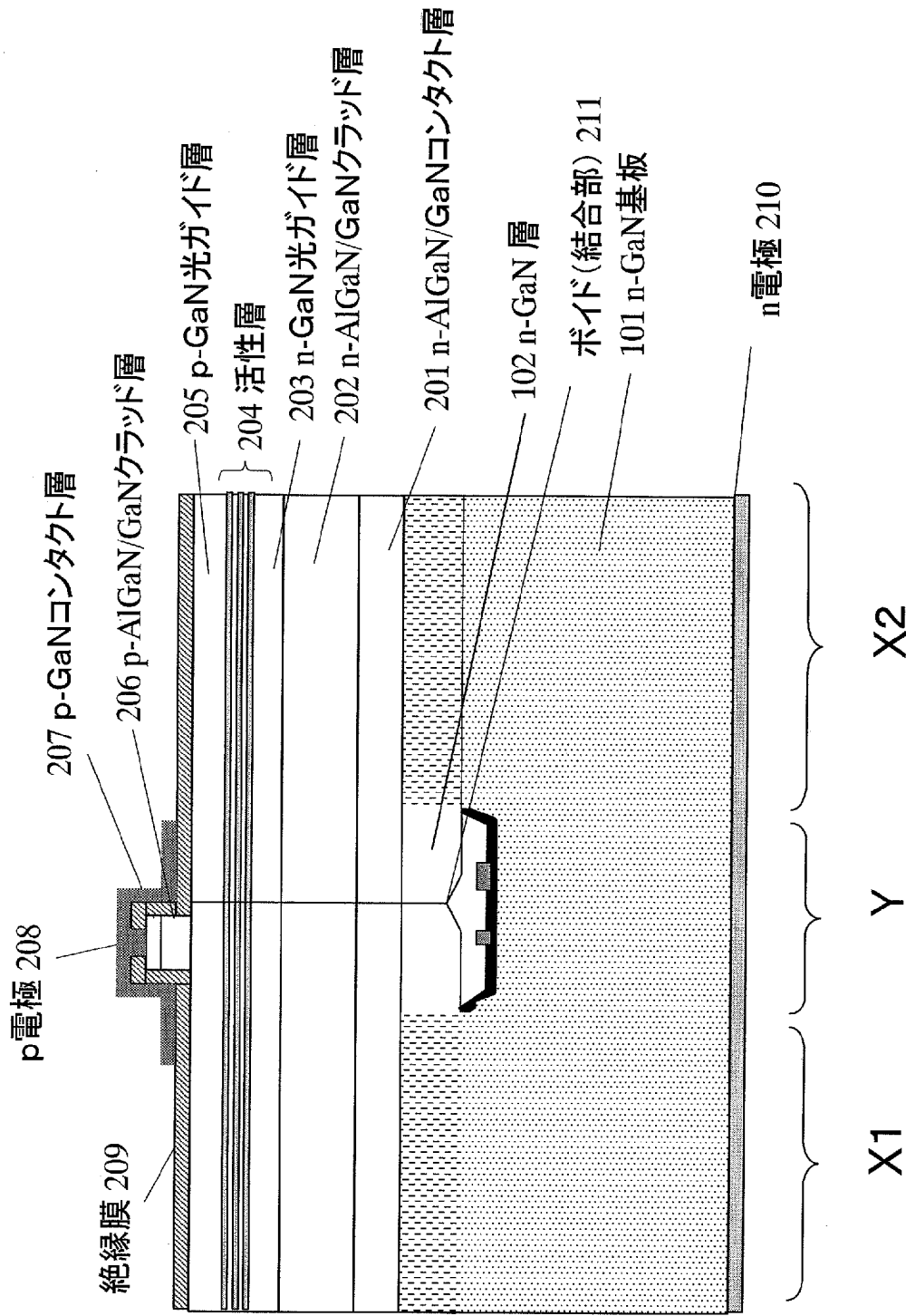
(c)



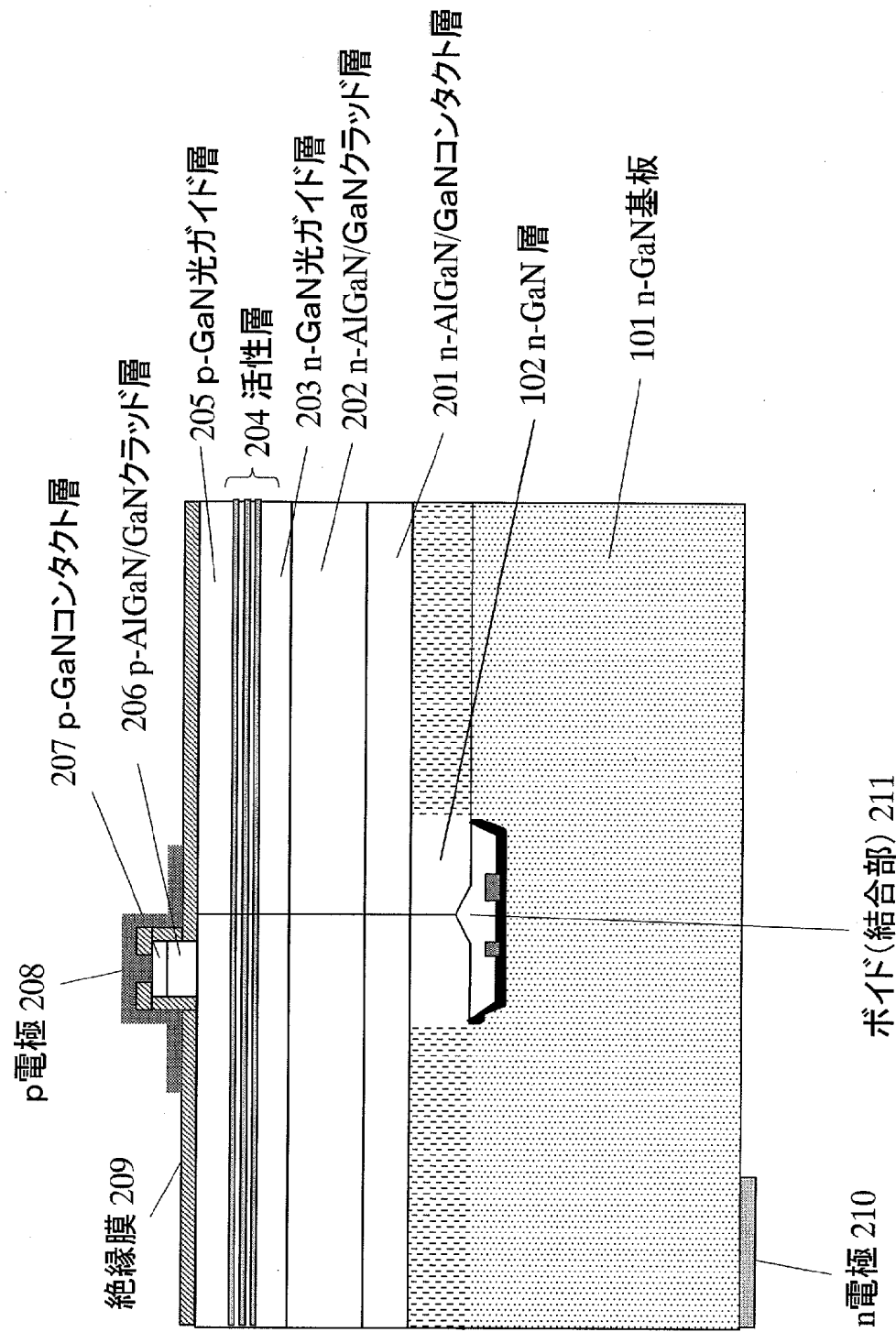
[図5]



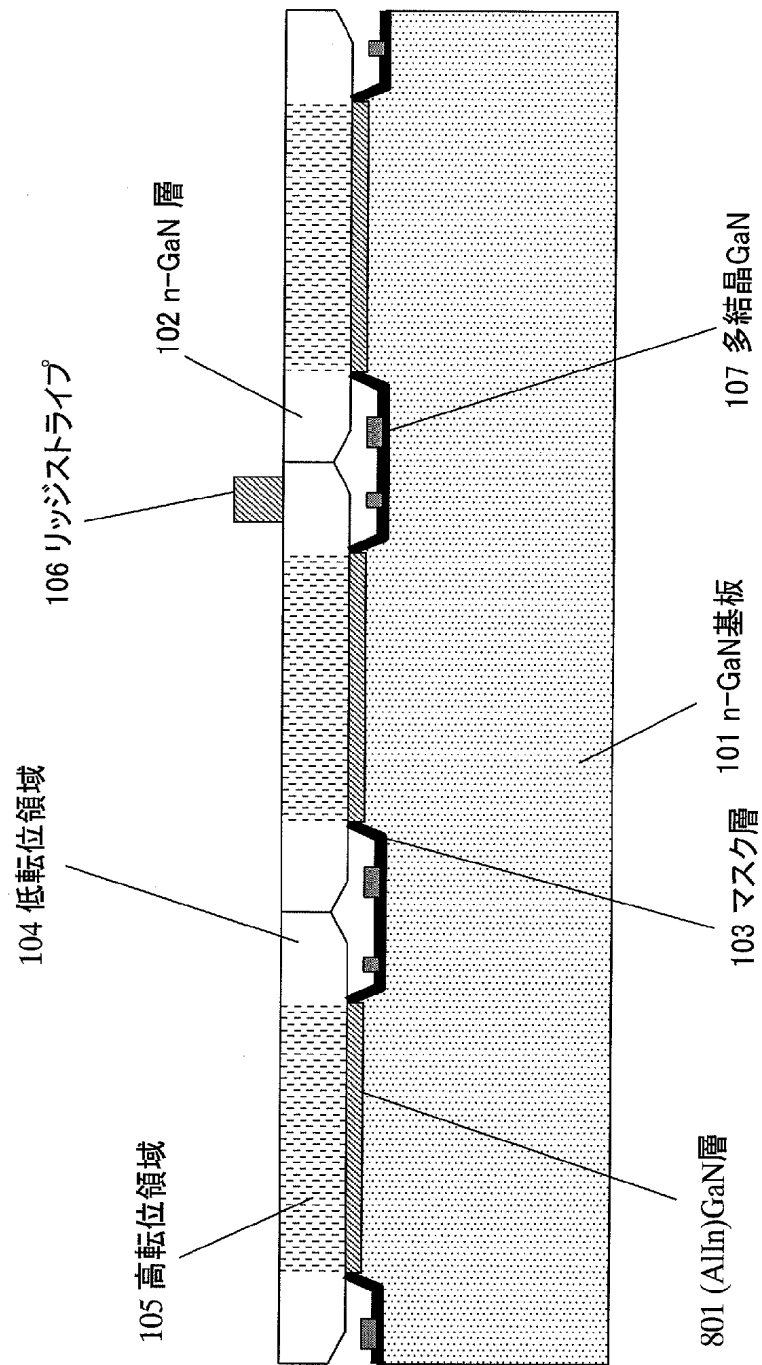
[図6]



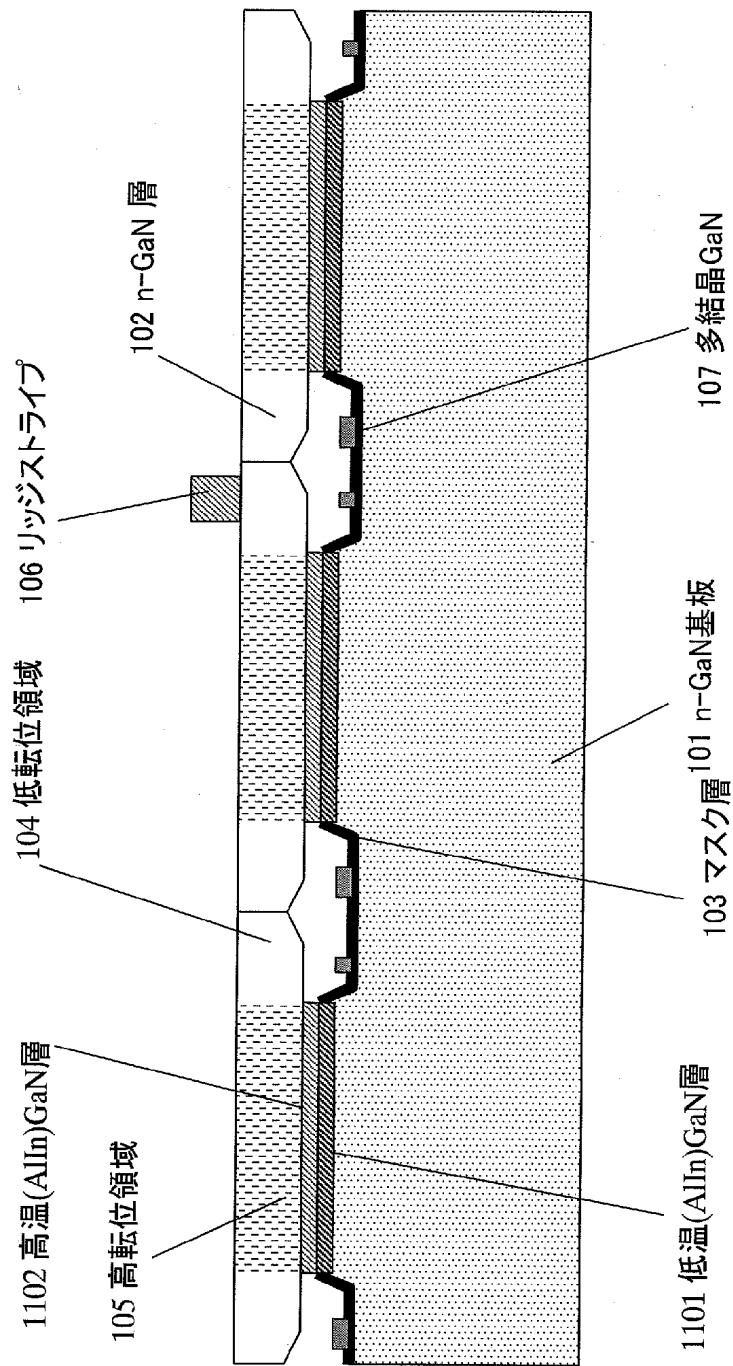
[図7]



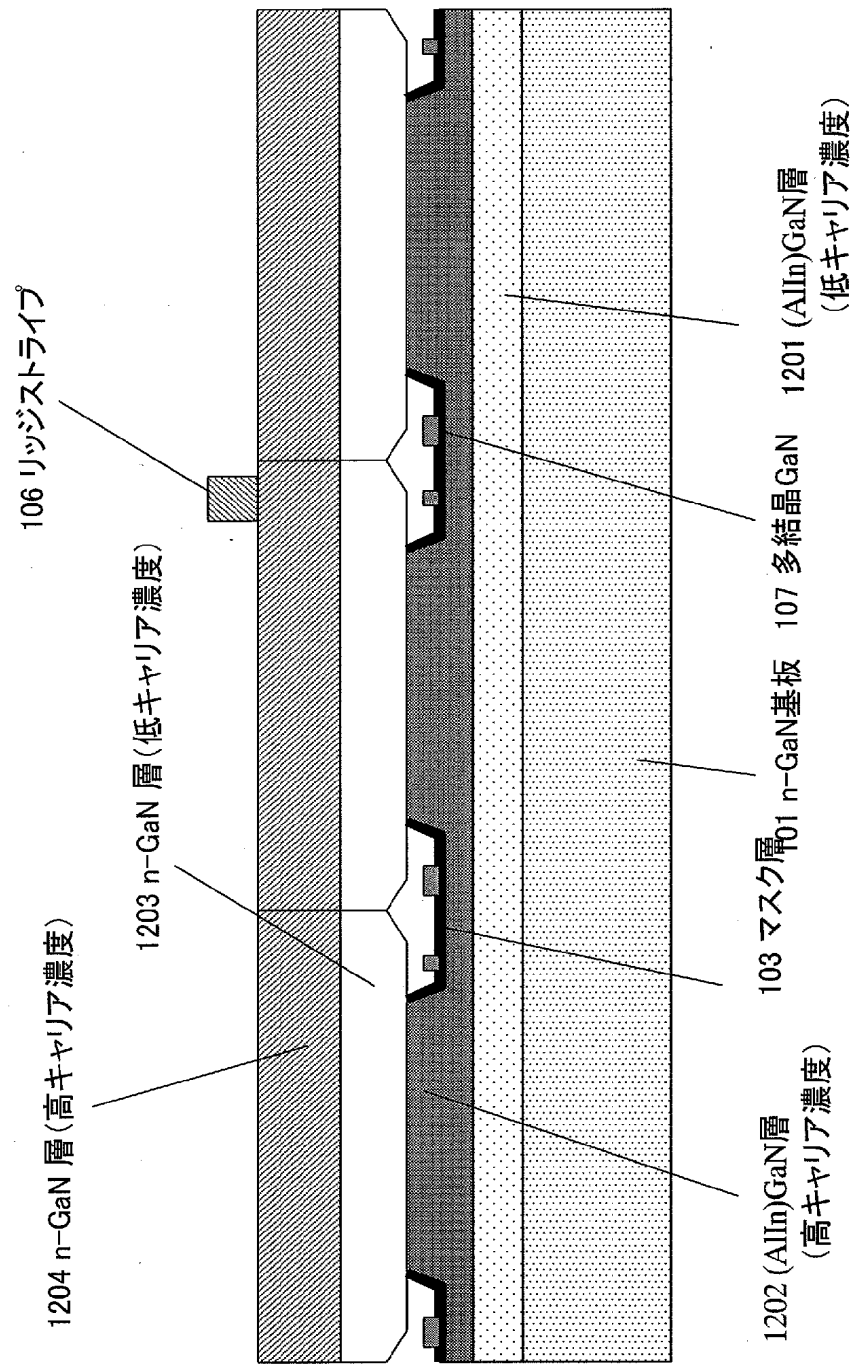
[図8]



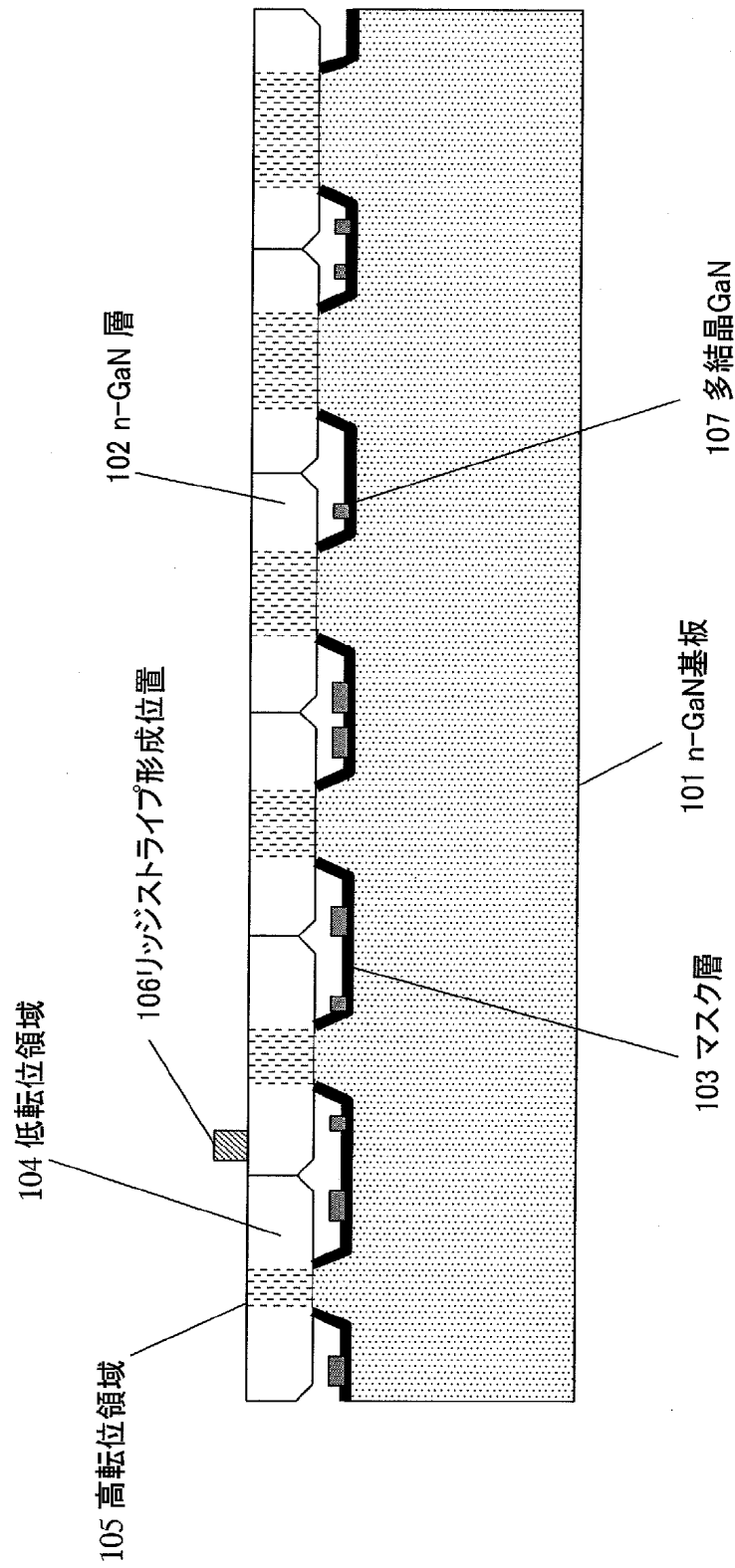
[図9]



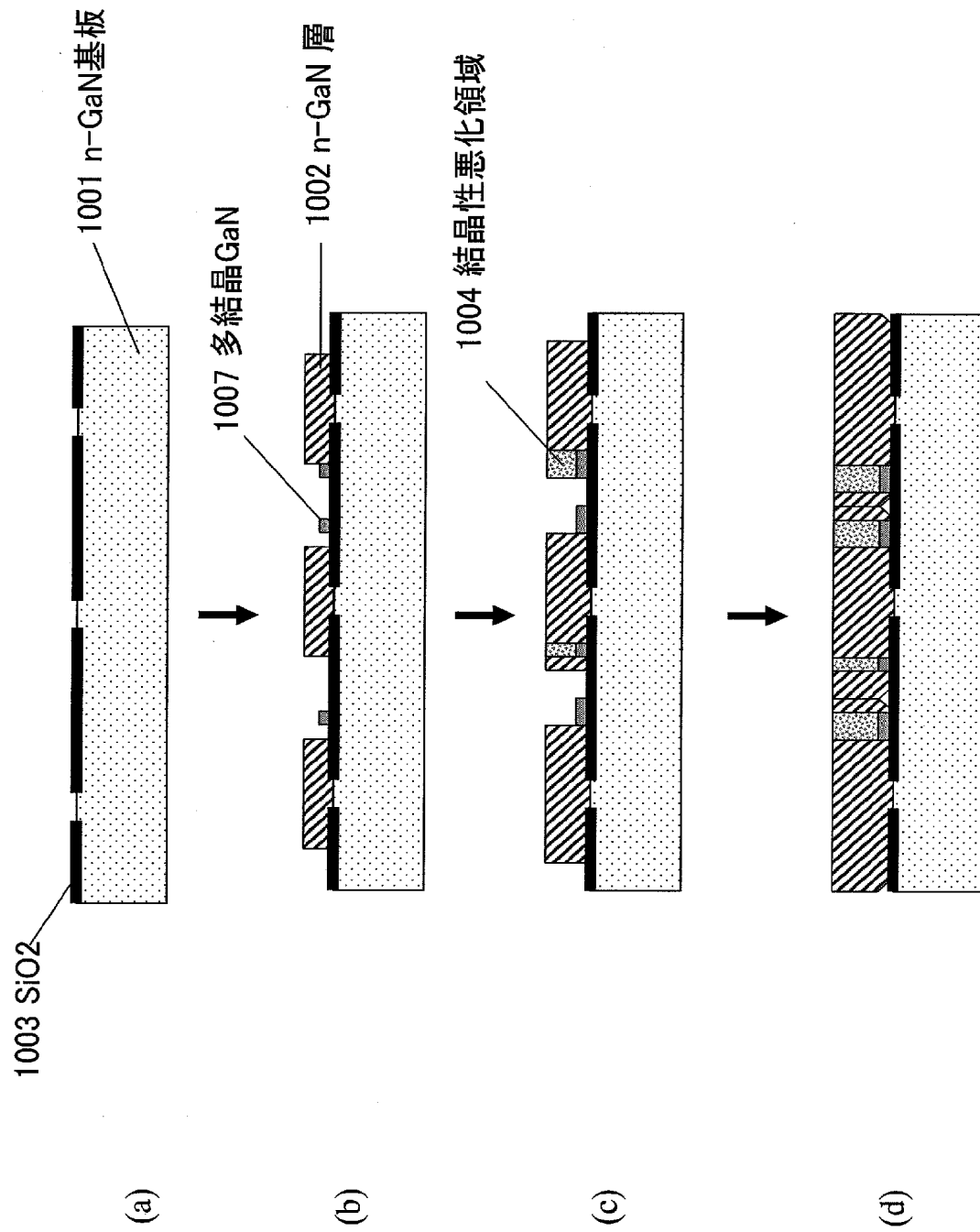
[図10]



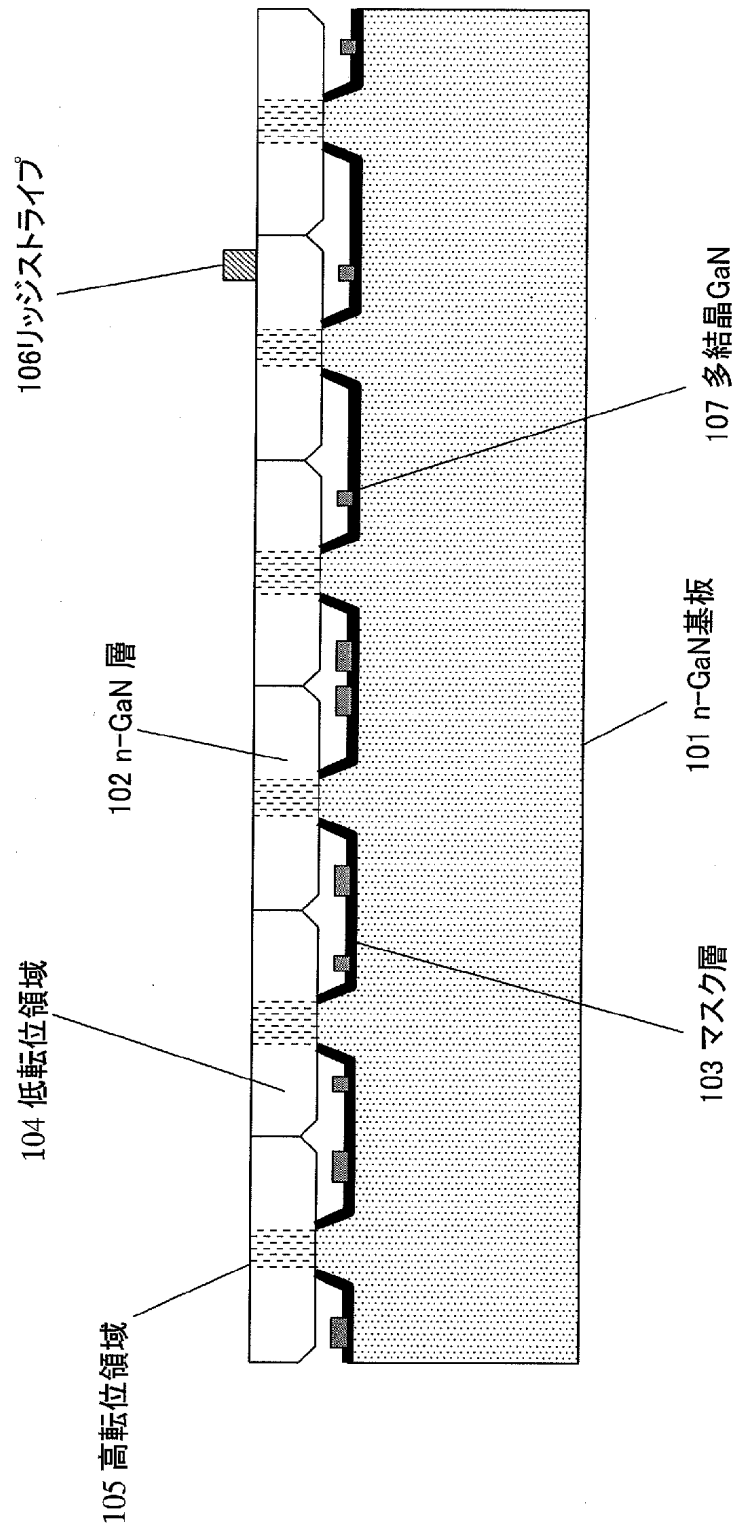
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/020927

A. CLASSIFICATION OF SUBJECT MATTER

H01S5/343(2006.01), **H01L21/205**(2006.01), **H01S5/22**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S5/00-5/50(2006.01), **H01L21/205**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-86905 A (Sharp Corp.), 20 March, 2003 (20.03.03), Par. Nos. [0013] to [0085], [0089] to [0094]; Figs. 1 to 7 (Family: none)	1-4, 6-15, 20-24 5, 16-19
X	JP 2003-234505 A (OSRAM OPTO SEMICONDUCTORS GMBH), 22 August, 2003 (22.08.03), Par. Nos. [0023] to [0041]; Figs. 1, 2, 4 & US 2003/0141512 A1 & DE 10203901 A	1, 4, 6, 7, 12, 15, 18, 19 1-24
Y	JP 2003-300800 A (NEC Corp.), 21 October, 2003 (21.10.03), Par. Nos. [0038] to [0203] & US 6252261 B	1-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

18 January, 2006 (18.01.06)

Date of mailing of the international search report

24 January, 2006 (24.01.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/020927

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-9004 A (Matsushita Electric Industrial Co., Ltd.), 11 January, 2002 (11.01.02), Full text; all drawings & US 2003/0143771 A1	5, 16-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01S5/343 (2006.01), H01L21/205 (2006.01), H01S5/22 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01S5/00-5/50 (2006.01), H01L21/205 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-86905 A (シャープ株式会社) 2003.03.20, 【0013】-【0085】欄, 【0089】-【0094】欄、	1-4, 6-15, 20-24
Y	図1-7 (ファミリーなし)	5, 16-19
X	JP 2003-234505 A (オスラム オプト セミコンダクターズ ゲゼルシャフト ミット ベシュレンクテル ハフツング)	1, 4, 6, 7, 12, 15, 18, 19
Y	2003.08.22, 【0023】-【0041】欄、図1, 2, 4 & US 2003/0141512 A1 & DE 10203901 A	1-24

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18.01.2006

国際調査報告の発送日

24.01.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

土屋 知久

2 K

8826

電話番号 03-3581-1101 内線 3255

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-300800 A (日本電気株式会社) 2003.10. 21, 【0038】-【0203】欄 & US 6252261 B	1-24
Y	JP 2002-9004 A (松下電器産業株式会社) 2002.01. 11, 全文、全図 & US 2003/0143771 A1	5, 16-18